

IC CARD**Patent number:** WO03103058**Publication date:** 2003-12-11**Inventor:** IWATA HIROSHI (JP); SHIBATA AKIHIDE (JP); ADACHI KOUICHIROU (JP)**Applicant:** SHARP KK (JP); IWATA HIROSHI (JP); SHIBATA AKIHIDE (JP); ADACHI KOUICHIROU (JP)**Classification:**

- international: *H01L21/28; H01L21/336; H01L21/8244; H01L21/8246; H01L21/8247; H01L21/84; H01L27/105; H01L27/11; H01L27/115; H01L27/12; H01L29/792; H01L21/02; H01L21/70; H01L27/105; H01L27/11; H01L27/115; H01L27/12; H01L29/66; (IPC1-7): H01L29/788; G06K19/077; H01L21/8247; H01L27/115; H01L29/792*

- european: *H01L21/28G; H01L21/336G; H01L21/8244; H01L21/8246T; H01L21/8247M2P; H01L21/84; H01L27/105; H01L27/11; H01L27/115; H01L27/12B; H01L29/792B*

Application number: WO2003JP06730 20030529**Priority number(s):** JP20020158645 20020531; JP20030097977 20030401**Also published as:**

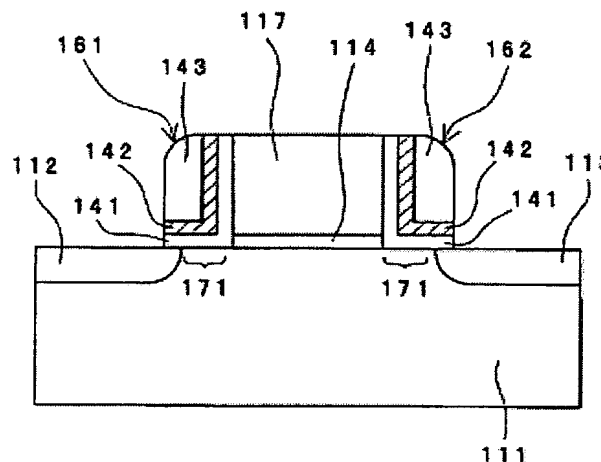
US2005157529 (A)
JP2004056089 (A)
CN1656619 (A)
AU2003241878 (A)

Cited documents:

JP5120501
JP8171621
US6335554
JP2001230332
WO0117030
more >>

Report a data error here**Abstract of WO03103058**

An IC card comprising a data memory section (503) consisting of a plurality of storage elements. The storage element comprises a semiconductor substrate, a semiconductor film arranged on a well region or an insulator provided in the semiconductor substrate, a gate insulation film formed on the semiconductor film arranged on the semiconductor substrate, the well region provided in the semiconductor substrate, or the insulator, a single gate electrode formed on the gate insulation film, two memory function bodies formed on the opposite sides of the sidewall of the single gate electrode, a channel region arranged beneath the single gate electrode, and diffusion layer regions arranged on the opposite sides of the channel region. A low-cost IC card is provided by mounting a memory employing storage elements which can be scaled down furthermore.



Data supplied from the esp@cenet database - Worldwide

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 12 月 11 日 (11.12.2003)

PCT

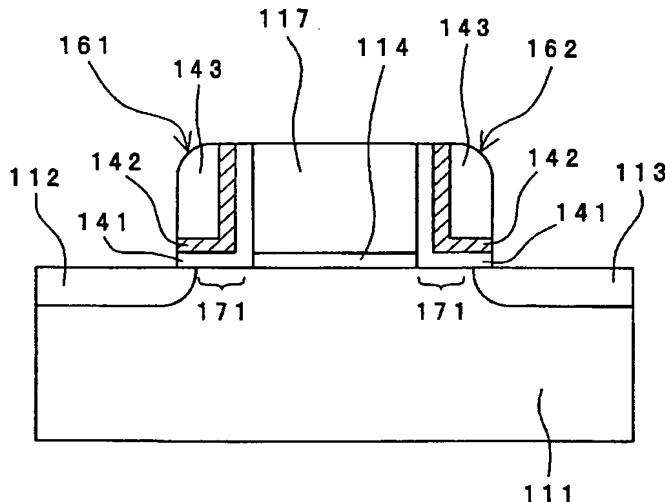
(10) 国際公開番号
WO 03/103058 A1

- (51) 国際特許分類: H01L 29/788, 29/792, 27/115, 21/8247, G06K 19/077 (71) 出願人(米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-8522 大阪府 大阪市 阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (21) 国際出願番号: PCT/JP03/06730
- (22) 国際出願日: 2003 年 5 月 29 日 (29.05.2003)
- (25) 国際出願の言語: 日本語 (72) 発明者; および (75) 発明者/出願人(米国についてのみ): 岩田 浩 (IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒郡 三郷町 信貴ヶ丘 2-4-13 Nara (JP). 柴田 晃秀 (SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良市 山陵町 104-B203 Nara (JP). 足立 浩一郎 (ADACHI, Kouichirou) [JP/JP]; 〒632-0093 奈良県 天理市 指柳町 223-718 Nara (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-158645 2002 年 5 月 31 日 (31.05.2002) JP
特願2003-97977 2003 年 4 月 1 日 (01.04.2003) JP

[続葉有]

(54) Title: IC CARD

(54) 発明の名称: ICカード



(57) Abstract: An IC card comprising a data memory section (503) consisting of a plurality of storage elements. The storage element comprises a semiconductor substrate, a semiconductor film arranged on a well region or an insulator provided in the semiconductor substrate, a gate insulation film formed on the semiconductor film arranged on the semiconductor substrate, the well region provided in the semiconductor substrate, or the insulator, a single gate electrode formed on the gate insulation film, two memory function bodies formed on the opposite sides of the sidewall of the single gate electrode, a channel region arranged beneath the single gate electrode, and diffusion layer regions arranged on the opposite sides of the channel region. A low-cost IC card is provided by mounting a memory employing storage elements which can be scaled down furthermore.

(57) 要約: ICカードは、複数の記憶素子からなるデータメモリ部503を備えている。この記憶素子は、半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体膜と、半導体基板上、半導体基板内に設けられたウェル領域上又は

[続葉有]

WO 03/103058 A1



(74) 代理人: 河宮 治 , 外(KAWAMIYA, Osamu et al.); 〒540-0001 大阪府 大阪市 中央区城見 1 丁目 3 番 7 号 I M P ビル 青山特許事務所 Osaka (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

絶縁体上に配置された半導体膜上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成された単一のゲート電極と、単一のゲート電極側壁の両側に形成された 2 つのメモリ機能体と、単一のゲート電極下に配置されたチャネル領域と、チャネル領域の両側に配置された拡散層領域とを備えている。これにより、更なる微細化が可能な記憶素子を用いたメモリを搭載することにより、低コストな IC カードを提供する。

明 細 書

I Cカード

5 技術分野

本発明は、I Cカードに関する。より詳細には、電荷量又は分極の変化を電流量に変換する機能を有する電界効果トランジスタからなる記憶素子を備えたI Cカードに関する。

10 背景技術

従来技術であるI Cカードの構成を図24に示す。I Cカード9内には、MPU (Micro Processing Unit: 超小型演算処理装置) 部901、コネクタ部902及びデータメモリ部903が内蔵されている。MPU部901内には、演算部904、制御部905、ROM (Read Only Memory: 読み出し専用メモリ) 906及びRAM (Random Access Memory: ランダム・アクセス・メモリ) 907があり、これらが1つのチップに形成されている。上記各部は、配線908 (データバス、電源線等を含む) で接続されている。また、コネクタ部902と外部のリーダライタ909は、I Cカード9がリーダライタ909に装着されたときに接続され、カードに電力が供給されるとともにデータの交換が行なわれる。

20 データメモリ部903は、書換え可能な記憶素子からなり、一般的にはEEPROM (Electrically Erasable Programmable ROM: 電氣的に消去可能な読み出し専用メモリ) が用いられることが多い。一方、ROM906は一般的にマスクROMが用いられていることが多く、主としてMPUを駆動するためのプログラムが格納されている。

25 I Cカードは、キャッシュカード、クレジットカード、個人情報カード、プリペイドカードなど極めて多くの応用が可能であるが、より広範な普及のためのキーポイントの1つは、更なる低コスト化である。I Cカードを構成する部品のなかでも、メモリ部の低コスト化は重要な課題となっている。

発明の開示

本発明は上記課題に鑑みなされたものであり、更なる微細化が可能な記憶素子を用いたメモリを搭載することにより、低コストなＩＣカードを提供することを目的とする。

- 5 上記課題を解決するため、本発明のＩＣカードは、
 複数の記憶素子を有するデータメモリ部を備えたＩＣカードであって、
 上記記憶素子は、
 半導体基板、半導体基板内に設けられたウェル領域又は絶縁体上に配置された半導体膜と、
10 上記半導体基板上、半導体基板内に設けられたウェル領域上又は絶縁体上に配置された半導体膜上に形成されたゲート絶縁膜と、
 上記ゲート絶縁膜上に形成された単一のゲート電極と、
 上記単一のゲート電極側壁の両側に形成された２つのメモリ機能体と、
 上記単一のゲート電極下に配置されたチャネル領域と、
15 上記チャネル領域の両側に配置された拡散層領域とを備え、
 上記メモリ機能体に保持された電荷の多寡若しくは分極ベクトルにより、上記ゲート電極に電圧を印加した際の上記一方の拡散層領域から他方の拡散層領域に流れる電流量を変化させるように構成されてなることを特徴としている。
- 上記構成のＩＣカードによれば、上記データメモリ部が有する上記記憶素子は、
20 メモリ機能体がゲート絶縁膜と独立して形成され、ゲート電極の両側に形成されている。そのため、各メモリ機能体はゲート電極により分離されているので書き換え時の干渉が効果的に抑制される。また、メモリ機能体が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されているので、ゲート絶縁膜厚を薄膜化して短チャネル効果を抑制することができる。したがって記憶素子の微細化が容易となる。
- 25 上記記憶素子は微細化が容易であり、複数の上記記憶素子を有する上記データメモリ部の面積を縮小することができる。それゆえ、上記データメモリ部のコストを削減することができる。したがって、上記データメモリ部を備えたＩＣカードのコストが削減される。

一実施形態では、上記ＩＣカードは論理演算部を備えている。したがって、上記ＩＣカードに、単なる記憶機能にとどまらず、様々な機能を与えることが可能となる。

5 一実施形態では、上記ＩＣカードは、外部の機器との通信手段と、外部から照射された電磁波を電力に変換する集電手段とを備えているので、外部の機器と電氣的に接続するための端子を備える必要がない。したがって、上記端子を通じた静電破壊を防止することができる。また、外部の機器と必ずしも密着する必要がないので、使用形態の自由度が大きくなる。更には、上記データメモリ部を構成する上記記憶素子は、比較的低い電源電圧で動作するので、上記集電手段の回路
10 を小型化し、コストを削減することができる。

一実施形態では、上記データメモリ部と上記論理演算部は１つのチップ上に形成されていることを特徴としている。

上記実施形態の構成によって、ＩＣカードに内蔵されるチップの数が減少してコストが削減される。更には、上記データメモリ部を構成する上記記憶素子を形成するプロセスと、上記論理演算部を構成する素子を形成するプロセスとは非常
15 に似ているから、両素子の混載が特に容易である。したがって、上記論理演算部と上記データメモリ部を１つのチップ上に形成することによるコスト削減効果を特に大きくすることができる。

一実施形態では、上記論理演算部は、上記論理演算部の動作を規定するプログラムを記憶する記憶手段を備え、上記記憶手段は外部から書き換え可能であり、
20 上記記憶手段は、上記データメモリ部の記憶素子と同じ構成を有する記憶素子を備えことを特徴としている。

上記実施形態によれば、上記記憶手段は外部から書き換え可能であるから、必要に応じて上記プログラムを書き換えることにより、ＩＣカードの機能を飛躍的に高くすることができる。上記記憶素子は微細化が容易であるから、例えばマスクROMを上記記憶素子で置き換えてもチップ面積の増大を最小限にとどめる
25 ことができる。更には、上記記憶素子を形成するプロセスと、上記論理演算部を構成する素子を形成するプロセスとは非常に似ているから、両素子の混載が容易で、コスト増を最小限に抑えることができる。

一実施形態では、上記記憶素子1つにつき2ビットの情報を記憶させることを特徴としている。

上記実施形態によれば、上記記憶素子は1つにつき2ビットの情報を記憶することが可能であって、その能力を十分に発揮している。それゆえ、1つの素子が1ビットの情報を記憶する場合に比べて、1ビット当りの素子面積は1/2とな

って、上記データメモリ部又は上記記憶手段の面積を更に小さくすることができる。したがって、ICカードのコストは更に削減される。

一実施形態では、上記メモリ機能体は、第1の絶縁体、第2の絶縁体および第3の絶縁体を有し、上記メモリ機能体は、電荷を蓄積する機能を有する上記第1の絶縁体からなる膜が、上記第2の絶縁体と上記第3の絶縁体とに挟まれた構造を有し、上記第1の絶縁体はシリコン窒化物であり、上記第2及び第3の絶縁体はシリコン酸化物であることを特徴としている。

上記実施形態の構成は、ICカードの動作速度を向上できると共に、信頼性を向上させることが可能となる。

一実施形態では、上記チャネル領域上における上記第2の絶縁体からなる膜の厚さが、上記ゲート絶縁膜の厚さよりも薄く、かつ0.8nm以上であるので、ICカードの電源電圧を低減できる。又は、ICカードの動作速度を向上させることができる。

一実施形態では、上記チャネル領域上における上記第2の絶縁体からなる膜の厚さが、上記ゲート絶縁膜の厚さよりも厚く、かつ20nm以下であるので、上記データメモリ部の記憶容量を大きくして機能を向上させることができる。又は、製造コストを削減することができる。

一実施形態では、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、上記ゲート絶縁膜の表面と略平行な表面を有する部分を含むので、ICカードの信頼性を向上させることができる。

一実施形態では、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、上記ゲート電極の側面と略並行に延びた部分を含むので、ICカードの動作速度を向上させることができる。

一実施形態では、上記メモリ機能体の少なくとも一部が上記拡散層領域の一部

にオーバーラップするように形成されてなるので、ＩＣカードの動作速度を向上させることができる。

図面の簡単な説明

- 5 図 1 は本発明の実施の形態 10 の Ｉ Ｃ カードを示す構成図である。
- 図 2 は本発明の実施の形態 10 の Ｉ Ｃ カードの一部を構成する記憶素子を、セルアレイ状に配列した例を示す回路図である。
- 図 3 は本発明の実施の形態 11 の Ｉ Ｃ カードを示す構成図である。
- 図 4 は本発明の実施の形態 12 の Ｉ Ｃ カードを示す構成図である。
- 10 図 5 は本発明の実施の形態 1 のメモリ素子の要部の概略断面図である。
- 図 6 は図 5 の要部の拡大概略断面図である。
- 図 7 は図 5 の変形の要部の拡大概略断面図である。
- 図 8 は本発明の実施の形態 1 の記憶素子の電気特性を示すグラフである。
- 図 9 は本発明の実施の形態 1 の記憶素子の変形の要部の概略断面図である。
- 15 図 10 は本発明の実施の形態 2 の記憶素子の要部の概略断面図である。
- 図 11 は本発明の実施の形態 3 の記憶素子の要部の概略断面図である。
- 図 12 は本発明の実施の形態 4 の記憶素子の要部の概略断面図である。
- 図 13 は本発明の実施の形態 5 の記憶素子の要部の概略断面図である。
- 図 14 は本発明の実施の形態 6 の記憶素子の要部の概略断面図である。
- 20 図 15 は本発明の実施の形態 7 の記憶素子の要部の概略断面図である。
- 図 16 は本発明の記憶素子の書込み動作を説明するための図である。
- 図 17 は本発明の記憶素子の書込み動作を説明するための図である。
- 図 18 は本発明の記憶素子の第 1 の消去動作を説明するための図である。
- 図 19 は本発明の記憶素子の第 2 の消去動作を説明するための図である。
- 25 図 20 は本発明の記憶素子の読出し動作を説明するための図である。
- 図 21 は本発明の記憶素子の電気特性を示すグラフである。
- 図 22 は従来技術である Ｅ Ｅ Ｐ Ｒ Ｏ Ｍ の電気特性を示すグラフである。
- 図 23 は標準ロジック部を構成するトランジスタを示す概略断面図である。
- 図 24 は従来技術の Ｉ Ｃ カードを示す構成図である。

発明を実施するための最良の形態

まず、本発明のＩＣカードに用いられる記憶素子について、以下にその概略を説明する。

- 5 本発明の記憶素子は、主として、ゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成されたメモリ機能体と、メモリ機能体のゲート電極と反対側のそれぞれに配置されたソース／ドレイン領域（拡散層領域）と、ゲート電極下に配置されたチャネル領域とから構成される。

- 10 この記憶素子は、１つのメモリ機能体に２値又はそれ以上の情報を記憶することにより、４値又はそれ以上の情報を記憶する記憶素子として機能する。しかしながら、この記憶素子は、必ずしも４値又はそれ以上の情報を記憶して機能させる必要はなく、例えば、２値の情報を記憶して機能させてもよい。

 本発明の記憶素子は、半導体基板上、好ましくは半導体基板内に形成された第１導電型のウェル領域上に形成されることが好ましい。

- 15 半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、 $GaAs$ 、 $InGaAs$ 、 $ZnSe$ 等の化合物半導体による基板、 SOI 基板又は多層 SOI 基板等の種々の基板、を用いることができる。ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面半導体層としてシリコン層が形成された SOI 基板が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。

- 20 この半導体基板上又は半導体層上には、素子分離領域が形成されていることが好ましく、更にトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、
- 25 半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、 $LOCOS$ （シリコン局所酸化）膜、トレンチ酸化膜、 STI 膜等種々の素子分離膜により形成することができる。半導体基板は、 P 型又は N 型の導電型を有していてもよく、半導体基板には、少なくとも１つの第１導電型（ P 型又は N 型）のウェル領域が形成されてい

ることが好ましい。半導体基板及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

5 ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20 nm程度、好ましく1～6 nm
10 程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく（幅広）で形成されていてもよい。

 ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状で形成されている。ゲート電極は、実施の形態のなかで特に指定がない限り、特に
15 限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400 nm程度の膜厚で形成することが適当である。なお、ゲート電極の下には、チャネル領域が形成されるが、チャネル領域は、ゲート電極下のみならず、
20 ゲート電極とゲート長方向におけるゲート端の外側を含む領域下に形成されていることが好ましい。このように、ゲート電極で覆われていないチャネル領域が存在する場合には、そのチャネル領域は、ゲート絶縁膜又は後述するメモリ機能体で覆われていることが好ましい。

 メモリ機能体は、少なくとも、電荷を保持するか、電荷を蓄え、保持する機能を有するか、電荷をトラップする機能を有する膜又は領域を含んで構成される。
25 これらの機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキシド、ジルコニウムオキシド、タンタルオキシド等の高誘電体；酸化亜鉛；金属等が挙げられる。メモリ機能体は、例えば、シリコン窒化膜を含む

絶縁体膜；導電膜もしくは半導体層を内部に含む絶縁体膜；導電体もしくは半導体ドットを1つ以上含む絶縁体膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSI（大規模集積回路）プロセスではごく標準的に用いられる材料であるため、好ましい。

シリコン窒化膜などの電荷保持機能を有する絶縁膜を内部に含む絶縁膜をメモリ機能体として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。更には、複数の記憶素子を配列する場合、記憶素子間の距離が縮まって隣接するメモリ機能体が接触しても、メモリ機能体が導電体からなる場合のように夫々のメモリ機能体に記憶された情報が失われることがない。また、コンタクトプラグをよりメモリ機能体と接近して配置することができ、場合によってはメモリ機能体と重なるように配置することができるので、記憶素子の微細化が容易となる。

さらに記憶保持に関する信頼性を高めるためには、電荷を保持する機能を有する絶縁膜は、必ずしも膜状である必要はなく、電荷を保持する機能を有する絶縁体が絶縁膜に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に分散していることが好ましい。

また、導電膜もしくは半導体層を内部に含む絶縁体膜をメモリ機能体として用いることにより、導電体もしくは半導体中への電荷の注入量を自由に制御できるため、多値化しやすい効果がある。

さらに、導電体もしくは半導体ドットを1つ以上含む絶縁体膜をメモリ機能体として用いることにより、電荷の直接トンネリングによる書込・消去が行ないやすくなり、低消費電力化の効果がある。

つまり、メモリ機能体は、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜をさらに含むことが好ましい。電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

メモリ機能体は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全てを覆うように形成されていてもよいし、一部を覆うように形成されてもよい。電荷保持膜として導電膜を用いる場合には、電荷保持膜が半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

メモリ機能体は、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。電荷を蓄積する第1の絶縁体が膜状であるから、電荷の注入により短い時間で第1の絶縁体内の電荷密度を上げ、また、電荷密度を均一にすることができる。電荷を蓄積する第1の絶縁体内の電荷分布が不均一であった場合、保持中に第1の絶縁体内を電荷が移動して記憶素子の信頼性が低下する恐れがある。また、電荷を蓄積する第1の絶縁体は、導電体部（ゲート電極、拡散層領域、半導体基板）とは他の絶縁膜で隔てられているので、電荷の漏れが抑制されて十分な保持時間を得ることができる。したがって、上記サンドウィッチ構造を有する場合、記憶素子の高速書換え、信頼性の向上、十分な保持時間の確保が可能となる。上記条件を満たすメモリ機能体としては、上記第1の絶縁体をシリコン窒化膜とし、第2及び第3の絶縁体をシリコン酸化膜とするのが特に好ましい。シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができる。また、シリコン酸化膜及びシリコン窒化膜は共にLSIプロセスでごく標準的に用いられる材料であるため、好ましい。また、第1の絶縁体として、窒化シリコンのほかに、酸化ハフニウム、タンタルオキサイド、イットリウムオキサイドなどを用いることができる。更には、第2及び第3の絶縁体として、酸化シリコンのほかに、酸化アルミニウムなどを用いることができる。なお、上記第2及び第3の絶縁体は、異なる物質であってもよいし同一の物質で

あってもよい。

メモリ機能体は、ゲート電極の両側に形成されており、また、半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。

- 5 メモリ機能体に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全て又は一部を覆うように形成されていることが好ましい。応用例としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。

- 10 ゲート電極は、メモリ機能体の側壁のみに形成されるか、あるいはメモリ機能体の上部を覆わないことが好ましい。このような配置により、コンタクトプラグをよりゲート電極と接近して配置することができるので、記憶素子の微細化が容易となる。また、このような単純な配置を有する記憶素子は製造が容易であり、歩留まりを向上することができる。

- 15 ソース／ドレイン領域は、半導体基板又はウェル領域と逆導電型の拡散層領域として、メモリ機能体のゲート電極と反対側のそれぞれに配置されている。ソース／ドレイン領域と半導体基板又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。ソース／ドレイン領域の接合深さは、特に限定されるものではなく、得ようとする記憶素子の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、ソース／ドレイン領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

- 20 ソース／ドレイン領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、の電

荷保持膜下のオフセット領域の反転しやすさが、メモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、ソース・ドレイン間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量つまり、ゲート長方向における一方のゲート電極端から近い方のソース・ドレイン領域までの距離は短い方が好ましい。特に重要なことは、メモリ機能体中の電荷蓄積領域の少なくとも一部が、拡散層領域であるソース／ドレイン領域の一部とオーバーラップしていることである。本発明のICカードを構成する記憶素子の本質は、メモリ機能体の側壁部にのみ存在するゲート電極とソース／ドレイン領域間の電圧差によりメモリ機能体を横切る電界によって記憶を書き換えることであるためである。ソース・ドレイン間の駆動電流が著しく小さくなる。したがって、オフセット量はメモリ効果と駆動電流の双方が適切な値となるように決定すればよい。

ソース／ドレイン領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成されたソース／ドレイン領域上に、このソース／ドレイン領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいために、半導体基板内におけるソース／ドレイン領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、このソース／ドレイン領域の一部は、ゲート電極とともに、電荷保持膜の少なくとも一部を挟持するように配置することが好ましい。

本発明の記憶素子は、ゲート絶縁膜上に形成された単一のゲート電極、ソース領域、ドレイン領域及び半導体基板を4個の端子として、この4個の端子のそれぞれに所定の電位を与えることにより、書込み、消去、読出しの各動作を行なう。具体的な動作原理及び動作電圧の例は、後述する。本発明の記憶素子をアレイ状に配置してメモリセルアレイを構成した場合、単一の制御ゲートで各メモリセル

を制御できるので、ワード線の本数を少なくすることができる。

本発明の記憶素子は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に積層構造の記憶素子サイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、絶縁膜（第2の絶縁体）／電荷蓄積膜（第1の絶縁体）／絶縁膜（第2の絶縁体）の積層膜を形成し、適当な条件下でエッチバックしてこれらの膜を記憶素子サイドウォールスペーサ状に残す方法が挙げられる。このほか、所望のメモリ機能体の構造に応じて、適宜サイドウォール形成時の条件や堆積物を選択すればよい。

以下に、本発明のICカードに用いられる記憶素子について、詳細な具体例を示す。

（実施の形態1）

この実施の形態1の記憶素子は、図5に示すように、メモリ機能体161、162が電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であってもよい）と、電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であってもよい）とから構成される。例えば、ON₂O（Oxide Nitride Oxide）構造を有している。すなわち、第1の絶縁体からなる膜の一例としてのシリコン窒化膜142が、第2の絶縁体からなる膜の一例としてのシリコン酸化膜141と、第3の絶縁体からなる膜の一例としてのシリコン酸化膜143とに挟まれ、メモリ機能体161、162を構成している。ここで、シリコン窒化膜142は電荷を保持する機能を果たす。また、シリコン酸化膜141、143はシリコン窒化膜142中に蓄えられた電荷を逃げにくくする機能を有する膜の役割を果たす。

また、メモリ機能体161、162における電荷を保持する領域（シリコン窒化膜142）は、拡散層領域112、113とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散層領域112、113の少なくとも一部の領域上に、電荷を保持する領域（シリコン窒化膜142）の少なくとも一部が存在することを意味する。なお、111は半導体基板、114はゲート絶縁膜、117はゲート電極、171は（ゲート電極と拡散層領域との）オフセット領域である。図示しないが、ゲート絶縁膜114下であって半導体基板111最表面

部はチャネル領域となる。

メモリ機能体 1 6 1、1 6 2 における電荷を保持する領域 1 4 2 と拡散層領域 1 1 2、1 1 3 とがオーバーラップすることによる効果を説明する。

図 6 は、図 5 の右側のメモリ機能体 1 6 2 周辺部の拡大図である。W 1 はゲート電極 1 1 4 と拡散層領域 1 1 3 とのオフセット量を示す。また、W 2 はゲート電極のチャネル長方向の切断面におけるメモリ機能体 1 6 2 の幅を示しているが、メモリ機能体 1 6 2 のうちシリコン窒化膜 1 4 2 のゲート電極 1 1 7 と離れた側の端が、ゲート電極 1 1 7 から離れた側のメモリ機能体 1 6 2 の端と一致しているため、メモリ機能体 1 6 2 の幅を W 2 として定義した。メモリ機能体 1 6 2 と拡散層領域 1 1 3 とのオーバーラップ量は $W 2 - W 1$ で表される。特に重要なことは、メモリ機能体 1 6 2 のうちシリコン窒化膜 1 4 2 が、拡散層領域 1 1 3 とオーバーラップする、つまり、 $W 2 > W 1$ なる関係を満たすことである。

なお、図 7 に示すように、メモリ機能体 1 6 2 a のうちシリコン窒化膜 1 4 2 a のゲート電極と離れた側の端が、ゲート電極から離れた側のメモリ機能体 1 6 2 a の端と一致していない場合は、W 2 をゲート電極端からシリコン窒化膜 1 4 2 a のゲート電極と遠い側の端までと定義すればよい。

図 8 は、図 6 の構造において、メモリ機能体 1 6 2 の幅 W 2 を 1 0 0 nm に固定し、オフセット量 W 1 を変化させたときのドレイン電流 I_d を示している。ここで、ドレイン電流 I_d は、メモリ機能体 1 6 2 を消去状態（正孔が蓄積されている）とし、拡散層領域 1 1 2、1 1 3 をそれぞれソース領域、ドレイン領域として、デバイスシミュレーションにより求めた。

図 8 から明らかなように、W 1 が 1 0 0 nm 以上（すなわち、シリコン窒化膜 1 4 2 と拡散層領域 1 1 3 とがオーバーラップしない）では、ドレイン電流 I_d が急速に減少している。ドレイン電流値は、読出し動作速度にほぼ比例するので、W 1 が 1 0 0 nm 以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜 1 4 2 と拡散層領域 1 1 3 とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、電荷を保持する機能を有する膜であるシリコン窒化膜 1 4 2 の少なくとも一部とソース／ドレイン領域とがオーバーラップすることが好ましい。

上述したデバイスシミュレーションの結果を踏まえて、W2を100nm固定とし、W1を設計値として60nm及び100nmとして、メモリセルアレイを作製した。W1が60nmの場合、シリコン窒化膜142と拡散層領域112、113とは設計値として40nmオーバーラップし、W1が100nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読出し時間を測定した結果、ばらつきを考慮したワーストケースで比較して、W1を設計値として60nmとした場合の方が、読出しアクセス時間で100倍高速であった。実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが好ましいが、W1=W2では、この条件を到底達成できないことが分かった。また、製造ばらつきまで考慮した場合、 $W2 - W1 > 10 \text{ nm}$ であることがより好ましいことが判明した。

メモリ機能体161に記憶された情報の読み出しは、上記デバイスシミュレーションと同様に、拡散層領域112をソース領域とし、拡散層領域113をドレイン領域としてチャネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つのメモリ機能体161、162のうちの一方に記憶された情報を読み出す時に、ピンチオフ点をチャネル領域内であって、2つのメモリ機能体161、162のうちの他方に近い領域に形成させるのが好ましい。これにより、例えば、メモリ機能体162の記憶状況の如何にかかわらず、メモリ機能体161の記憶情報を感度よく検出することができ、2ビット動作を可能にする大きな要因となる。

一方、2つのメモリ機能体161、162の一方のみに情報を記憶させる場合、又は、2つのメモリ機能体161、162を同じ記憶状態にして使用する場合には、読出し時に必ずしもピンチオフ点を形成しなくてもよい。

なお、図5には図示していないが、半導体基板111の表面にウェル領域(Nチャネル素子の場合はP型ウェル)を形成することが好ましい。ウェル領域を形成することにより、チャネル領域の不純物濃度をメモリ動作(書換え動作及び読出し動作)に最適にしつつ、その他の電気特性(耐圧、接合容量、短チャネル効果)を制御するのが容易になる。

メモリ機能体は、メモリの保持特性を向上させる観点から、電荷を保持する機

能を有する電荷保持膜と、絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜142、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜141、143を用いている。メモリ機能体が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。さらに、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができる。電荷保持膜の体積を適度に小さくすることにより電荷保持膜内での電荷の移動を制限し、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

また、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むこと、言い換えると、メモリ機能体における電荷保持膜の上面が、ゲート絶縁膜上面から等しい距離に位置するように配置されることが好ましい。具体的には、図9に示したように、メモリ機能体162の電荷保持膜142bが、ゲート絶縁膜114表面と略平行な面を有している。言い換えると、電荷保持膜142bは、ゲート絶縁膜114表面に対応する高さから、均一な高さに形成されることが好ましい。メモリ機能体162中に、ゲート絶縁膜114表面と略平行な電荷保持膜142bがあることにより、電荷保持膜142bに蓄積された電荷の多寡によりオフセット領域171での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大きくすることができる。また、電荷保持膜142bをゲート絶縁膜114の表面と略平行とすることにより、オフセット量(W1)がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、電荷保持膜142b上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

さらに、メモリ機能体162は、ゲート絶縁膜114の表面と略平行な電荷保持膜142bとチャネル領域（又はウェル領域）とを隔てる絶縁膜（例えば、シリコン酸化膜144のうちオフセット領域171上の部分）を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良い記憶素子を得ることができる。

なお、電荷保持膜 1 4 2 b の膜厚を制御すると共に、電荷保持膜 1 4 2 b 下の絶縁膜（シリコン酸化膜 1 4 4 のうちオフセット領域 1 7 1 上の部分）の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜 1 4 2 b 中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜 1 4 2 b 中に蓄えられる電荷までの距離を、電荷保持膜 1 4 2 b 下の絶縁膜の最小膜厚値から、電荷保持膜 1 4 2 b 下の絶縁膜の最大膜厚値と電荷保持膜 1 4 2 b の最大膜厚値との和までの間に制御することができる。これにより、電荷保持膜 1 4 2 b に蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、記憶素子のメモリ効果の大きさばらつきを非常に小さくすることが可能となる。

（実施の形態 2）

この実施の形態 2 は、メモリ機能体 1 6 2 の電荷保持膜 1 4 2 が、図 1 0 に示すように、略均一な膜厚を有する。さらに、上記電荷保持膜 1 4 2 は、ゲート絶縁膜 1 1 4 の表面と略平行な表面を有する部分の一例としての第 1 部 1 8 1 と、ゲート電極 1 1 7 の側面と略平行に延びた部分の一例としての第 2 部 1 8 2 とを有している。

ゲート電極 1 1 7 に正電圧が印加された場合には、メモリ機能体 1 6 2 中での電気力線は矢印 1 8 3 のように、シリコン窒化膜 1 4 2 を、第 1 部 1 8 1 と第 2 部とで 2 回通過する。なお、ゲート電極 1 1 7 に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜 1 4 2 の比誘電率は約 6 であり、シリコン酸化膜 1 4 1、1 4 3 の比誘電率は約 4 である。したがって、電荷保持膜 1 4 2 が第 1 部のみからなる場合よりも、電気力線 1 8 3 方向におけるメモリ機能体 1 6 2 の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極 1 1 7 に印加された電圧の多くの部分が、オフセット領域 1 7 1 における電界を強くするために使われることになる。

書換え動作時に電荷がシリコン窒化膜 1 4 2 に注入されるのは、発生した電荷がオフセット領域 1 7 1 における電界により引き込まれるためである。したがって、電荷保持膜 1 4 2 が第 2 部 1 8 2 を含むことにより、書換え動作時にメモリ

機能体 1 6 2 に注入される電荷が増加し、書換え速度が増大する。

なお、シリコン酸化膜 1 4 3 の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜 1 1 4 の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

5 電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

さらに、メモリ機能体は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜 1 4 1 のうちオフセット領域 1 7 1 上の部分）をさらに含むことが好ましい。この絶縁膜により、電
10 荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

また、メモリ機能体は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜 1 4 1 のうちゲート電極 1 1 7 に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極か
15 ら電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、記憶素子の信頼性を向上させることができる。

さらに、上記実施の形態 1 と同様に、電荷保持膜 1 4 2 下の絶縁膜（シリコン酸化膜 1 4 1 のうちオフセット領域 1 7 1 上の部分）の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜（シリコン酸化膜 1 4 1 のうちゲート電極 1 1 7 に接した部分）の膜厚を一定に制御することが好ましい。これにより、電荷保持膜 1 4 2 に蓄えられた電荷により発生する電気力線の密度を概ね
20 制御することができるとともに、電荷リークを防止することができる。

（実施の形態 3）

この実施の形態 3 は、ゲート電極、メモリ機能体及びソース／ドレイン領域間
25 距離の最適化に関する。

図 1 1 に示したように、A はチャネル長方向の切断面におけるゲート電極長、B はソース／ドレイン領域間の距離（チャネル長）、C は一方のメモリ機能体の端から他方のメモリ機能体の端までの距離、つまり、チャネル長方向の切断面における一方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極

と離れている側) から、他方のメモリ機能体内の電荷を保持する機能を有する膜の端 (ゲート電極と離れている側) までの距離を示す。

まず、 $B < C$ であることが好ましい。チャネル領域のうちゲート電極 1 1 7 下の部分とソース/ドレイン領域 1 1 2、1 1 3 との間にはオフセット領域 1 7 1 が存する。 $B < C$ により、メモリ機能体 1 6 1、1 6 2 (シリコン窒化膜 1 4 2) に蓄積された電荷により、オフセット領域 1 7 1 の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読み出し動作の高速化が実現する。

また、ゲート電極 1 1 7 とソース/ドレイン領域 1 1 2、1 1 3 がオフセットしている場合、つまり、 $A < B$ が成立する場合には、ゲート電極 1 1 7 に電圧を印加したときのオフセット領域 1 7 1 の反転のしやすさがメモリ機能体 1 6 1、1 6 2 に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。ただし、メモリ効果が発現する限りにおいては、必ずしも存在する必要はない。オフセット領域 1 7 1 がない場合においても、ソース/ドレイン領域 1 1 2、1 1 3 の不純物濃度が十分に薄ければ、メモリ機能体 1 6 1、1 6 2 (シリコン窒化膜 1 4 2) においてメモリ効果が発現し得る。

したがって、 $A < B < C$ であるのが最も好ましい。

(実施の形態 4)

この実施の形態 4 の記憶素子は、図 1 2 に示すように、上記実施の形態 1 における半導体基板を SOI (シリコン・オン・インシュレーター) 基板とする以外は、上記実施の形態 1 の構成と実質的に同様の構成を有する。

この記憶素子は、半導体基板 1 8 6 上に埋め込み酸化膜 1 8 8 が形成され、さらにその上に SOI 層が形成されている。SOI 層内には拡散層領域 1 1 2、1 1 3 が形成され、それ以外の領域はボディ領域 (半導体層) 1 8 7 となっている。

この記憶素子によっても、上記実施の形態 3 の記憶素子と同様の作用効果を奏する。さらに、拡散層領域 1 1 2、1 1 3 とボディ領域 1 8 2 との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

(実施の形態 5)

この実施の形態5の記憶素子は、図13に示すように、上記実施の形態1において、N型のソース／ドレイン領域112、113のチャネル側に隣接して、P型高濃度領域191を追加した以外は、実質的に同様の構成を有する。

すなわち、P型高濃度領域191におけるP型を与える不純物（例えばボロン）濃度が、領域192におけるP型を与える不純物濃度より高い。P型高濃度領域191におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域192のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

このように、P型高濃度領域191を設けることにより、ソース／ドレイン領域112、113と半導体基板111との接合が、メモリ機能体161、162の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域192の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速な記憶素子を得ることができる。

また、図13において、ソース／ドレイン領域112、113近傍であってメモリ機能体161、162の下（すなわち、ゲート電極の直下ではない）において、P型高濃度領域191を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域191がゲート電極117の直下にある場合に比べて著しく大きい。メモリ機能体161、162に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がもっと大きくなる。一方、メモリ機能体に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極117下のチャネル領域（領域192）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域191の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域191をメモリ機能体の下であってソース／ドレイン領域112、113近傍に配置することにより、書込み時の閾値のみが非常に大きく変

動し、メモリ効果（書込時と消去時での閾値の差）を著しく増大させることができる。

（実施の形態 6）

この実施の形態 6 の記憶素子は、図 1 4 に示すように、実施の形態 1 において、
5 電荷保持膜（シリコン窒化膜 1 4 2）とチャネル領域又はウェル領域とを隔てる
絶縁膜（シリコン酸化膜 1 4 1）の厚さ T_1 が、ゲート絶縁膜 1 1 4 の厚さ T_2
よりも薄いこと以外は、実質的に同様の構成を有する。

ゲート絶縁膜 1 1 4 は、メモリの書換え動作時における耐圧の要請から、その
厚さ T_2 には下限値が存在する。しかし、絶縁膜の厚さ T_1 は、耐圧の要請にか
10 かわらず、厚さ T_2 よりも薄くすることが可能である。

本実施の形態 6 の記憶素子において、上述のように絶縁膜の厚さ T_1 に対する
設計の自由度が高いのは以下の理由による。本実施の形態 6 の記憶素子において
は、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極
1 1 7 とチャネル領域又はウェル領域とに挟まれていない。そのため、電荷保持
15 膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、ゲート電極 1 1 7 とチ
ャネル領域又はウェル領域との間に働く高電界が直接作用せず、ゲート電極 1 1
7 から横方向に広がる比較的弱い電界が作用する。そのため、ゲート絶縁膜 1 1
4 に対する耐圧の要請にかかわらず、絶縁膜の厚さ T_1 をゲート絶縁膜 1 1 4 の
厚さ T_2 より薄くすることが可能になるのである。一方、例えば、フラッシュメモ
20 リに代表される EEPROM においては、フローティングゲートとチャネル領
域又はウェル領域とを隔てる絶縁膜は、ゲート電極（コントロールゲート）とチ
ャネル領域又はウェル領域に挟まれているので、ゲート電極からの高電界が直接
作用する。それゆえ、EEPROM においては、フローティングゲートとチャネ
ル領域又はウェル領域とを隔てる絶縁膜の厚さが制限され、記憶素子の機能の最
25 適化が阻害されるのである。

以上より明らかなように、本実施の形態 6 の記憶素子において電荷保持膜とチ
ャネル領域又はウェル領域とを隔てる絶縁膜が、ゲート電極 1 1 7 とチャネル領
域又はウェル領域とに挟まれていないことが、絶縁膜の厚さ T_1 の自由度を高く
する本質的な理由となっている。

絶縁膜の厚さ T_1 を薄くすることにより、メモリ機能体161、162への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜142に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増えるため、メモリ効果を増大させることができる。

ところで、メモリ機能体161、162中での電気力線は、図10の矢印184で示すように、シリコン窒化膜142を通過しない短いものもある。このような短い電気力線上では比較的電界強度が大きいので、この電気力線に沿った電界は書換え動作時には大きな役割を果たしている。絶縁膜の厚さ T_1 を薄くすることによりシリコン窒化膜142が図の下側に移動し、矢印183で示す電気力線がシリコン窒化膜を通過するようになる。それゆえ、電気力線184に沿ったメモリ機能体161、162中の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。したがって、ゲート電極117に印加された電圧の多くの部分が、オフセット領域における電界を強くするために使われ、書込み動作及び消去動作が高速になる。

以上より明らかなように、シリコン酸化膜141の厚さ T_1 とゲート絶縁膜114の厚さ T_2 とについて、 $T_1 < T_2$ とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。

なお、絶縁膜の厚さ T_1 は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であり、かつ保持特性が極端に劣化しない限界となる0.8 nm以上であることが、より好ましい。

具体的には、デザインルールの高い高耐圧が必要とされる液晶ドライバーLSIのような場合、液晶パネルTFT（薄膜トランジスタ）を駆動するために、最大15～18 Vの電圧が必要となる。このため、ゲート酸化膜を薄膜化することができない。上記液晶ドライバーLSIに画像調整用として本発明の記憶素子を混載する場合、本発明の記憶素子ではゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅）250 nmのメモ

リセルに対して、 $T1 = 20 \text{ nm}$ 、 $T2 = 10 \text{ nm}$ で個別に設定でき、書込み効率の良いメモリセルを実現できている（ $T1$ が通常のロジックトランジスタよりも厚くても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領域がオフセットしているためである）。

5 (実施の形態7)

この実施の形態7の記憶素子は、図15に示すように、上記実施の形態1において、電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜（シリコン酸化膜141）の厚さ $T1$ が、ゲート絶縁膜114の厚さ $T2$ よりも厚いこと以外は、実質的に同様の構成を有する。

10 ゲート絶縁膜114の厚さ $T2$ には、素子の短チャネル効果防止の要請から上限値が存在する。しかし、絶縁膜の厚さ $T1$ は、短チャネル効果防止の要請にかかわらず、ゲート絶縁膜114の $T2$ よりも厚くすることが可能である。すなわち、微細化スケールリングが進んだとき（ゲート絶縁膜114の薄膜化が進行したとき）にゲート絶縁膜厚とは独立して絶縁膜（シリコン酸化膜141）の厚さ $T1$ を最適に設計できるため、メモリ機能体161、162がスケールリングの障害
15 にならないという効果を奏する。

本実施の形態7の記憶素子において、上述のように絶縁膜の厚さ $T1$ に対する設計の自由度が高い理由は、既に述べた通り、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜が、ゲート電極117とチャネル領域又はウェル領域
20 とに挟まれていないことによる。そのため、ゲート絶縁膜114に対する短チャネル効果防止の要請にかかわらず、絶縁膜の厚さ $T1$ をゲート絶縁膜114の厚さ $T2$ より厚くすることが可能になるのである。

ゲート絶縁膜114の $T1$ を厚くすることにより、メモリ機能体161、162に蓄積された電荷が散逸するのを防ぎ、素子の保持特性を改善することが可能
25 となる。

したがって、絶縁膜の厚さ $T1$ とゲート絶縁膜114の厚さ $T2$ とについて、 $T1 > T2$ とすることにより、素子の短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

なお、絶縁膜の厚さ $T1$ は、書換え速度の低下を考慮して、 20 nm 以下であ

ることが好ましい。

具体的には、フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲート電極が書込み消去ゲート電極を構成し、上記書込み消去ゲート電極に対応するゲート絶縁膜（フローティングゲートを内包する）が電荷蓄積膜を兼用している。このため、微細化（短チャネル効果抑制のため薄膜化が必須）の要求と、信頼性確保（保持電荷のリーク抑制のため、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さは7 nm程度以下には薄膜化できない）の要求が相反するため、微細化が困難となる。実際、ITRS（International Technology Roadmap for Semiconductors：国際半導体技術ロードマップ）によれば、物理ゲート長の微細化は0.2ミクロン程度以下に対して目処が立っていない。本発明の記憶素子では、上述したように絶縁膜の厚さT1とゲート絶縁膜114の厚さT2とを個別に設計できることにより、微細化が可能となる。例えば、本発明では、ゲート電極長（ワード線幅）45 nmのメモリセルに対して、 $T2 = 4 \text{ nm}$ 、 $T1 = 7 \text{ nm}$ で個別に設定し、短チャネル効果の発生しない記憶素子を実現した。ゲート絶縁膜114の厚さT2を通常のリジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由はゲート電極117に対して、ソース／ドレイン領域112、113がオフセットしているためである。また、本発明の記憶素子は、ゲート電極117に対して、ソース／ドレイン領域112、113がオフセットしているため、通常のリジックトランジスタと比較しても更に微細化を容易にしている。

以上要約すると、メモリ機能体161、162の上部に書込、消去を補助する電極が存在しないため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、書込、消去を補助する電極とチャネル領域又はウェル領域との間に働く高電界が直接作用せず、ゲート電極117から横方向に広がる比較的弱い電界が作用するだけである。そのため、同じ加工世代に対してリジックトランジスタのゲート長と同程度以上に微細化されたゲート長を保有するメモリセルの実現が可能になるのである。

（実施の形態8）

この実施の形態8は、記憶素子の動作方法に関する。

まず、記憶素子の書込み動作原理を、図16及び図17を用いて説明する。図中、203はゲート絶縁膜、204はゲート電極、WLはワード線、BL1は第1のビット線、BL2は第2のビット線を夫々示している。なお、ここでは、第1のメモリ機能体231a及び第2のメモリ機能体231bが電荷を保持する機能

5 能を有する場合について説明する。

ここで、書込みとは、記憶素子がNチャネル型である場合にはメモリ機能体231a、231bに電子を注入することを指すこととする。以後、記憶素子はNチャネル型であるとして説明する。

例えば第2のメモリ機能体231bに電子を注入する（書込む）ためには、図16に示すように、第1の拡散層領域207a（N型の導電性を有する）をソース領域に、第2の拡散層領域207b（N型の導電性を有する）をドレイン領域とする。例えば、第1の拡散層領域207a及びP型ウェル領域202に0V、第2の拡散層領域207bに+5V、ゲート電極204に+5Vを印加すればよい。このような電圧条件によれば、反転層226が、第1の拡散層領域207a

10 （ソース領域）から伸びるが、第2の拡散層領域207b（ドレイン領域）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散層領域207b（ドレイン領域）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが第2のメモリ機能体231bに注入されることにより書込みが行なわれる。なお、第1のメモリ機能体231a近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。

15 20

このようにして、第2のメモリ機能体231bに電子を注入して、書込みを行なうことができる。

一方、第1のメモリ機能体231aに電子を注入する（書込む）ためには、図17に示すように、第2の拡散層領域207bをソース領域に、第1の拡散層領域207aをドレイン領域とする。例えば、第2の拡散層領域207b及びP型ウェル領域202に0V、第1の拡散層領域207aに+5V、ゲート電極204に+5Vを印加すればよい。このように、第2のメモリ機能体231bに電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第1のメ

25

メモリ機能体 231a に電子を注入して、書込みを行なうことができる。

次に、上記記憶素子の消去動作原理を図 18、図 19 及び図 20 で説明する。

第 1 のメモリ機能体 231a に記憶された情報を消去する第 1 の方法では、図 18 に示すように、第 1 の拡散層領域 207a に正電圧（例えば、+5 V）、P 型ウェル領域 202 に 0 V を印加して、第 1 の拡散層領域 207a と P 型ウェル領域 202 との PN 接合に逆方向バイアスをかけ、更にゲート電極 204 に負電圧（例えば、-5 V）を印加すればよい。このとき、上記 PN 接合のうちゲート電極 204 付近では、負電圧が印加されたゲート電極 204 の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルにより PN 接合の P 型ウェル領域 202 側にホットホール（高エネルギーの正孔）が発生する。このホットホールが負の電位をもつゲート電極 204 方向に引きこまれる結果、第 1 のメモリ機能体 231a にホール注入が行なわれる。このようにして、第 1 のメモリ機能体 231a の消去が行なわれる。このとき第 2 の拡散層領域 207b には 0 V を印加すればよい。

第 2 のメモリ機能体 231b に記憶された情報を消去する場合は、上記において第 1 の拡散層領域 207a と第 2 の拡散層領域 207b との電位を入れ替えればよい。つまり、第 1 の拡散層領域 207a の印加電圧を 0 V、第 2 の拡散層領域 207b の印加電圧を +5 V にすればよい。

第 1 のメモリ機能体 231a に記憶された情報を消去する第 2 の方法では、図 19 に示すように、第 1 の拡散層領域 207a に正電圧（例えば、+4 V）、第 2 の拡散層領域 207b に 0 V、ゲート電極 204 に負電圧（例えば、-4 V）、P 型ウェル領域 202 に正電圧（例えば、+0.8 V）を印加すればよい。この際、P 型ウェル領域 202 と第 2 の拡散層領域 207b との間に順方向電圧が印加され、P 型ウェル領域 202 に電子が注入される。注入された電子は、P 型ウェル領域 202 と第 1 の拡散層領域 207a との PN 接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN 接合において、電子-ホール対を発生させる。すなわち、P 型ウェル領域 202 と第 2 の拡散層領域 207b との間に順方向電圧を印加することにより、P 型ウェル領域 202 に注入された電子がトリガーとなって、反対側に位置する P

N接合でホットホールが発生する。PN接合で発生したホットホールは負の電位をもつゲート電極204方向に引きこまれる結果、第1のメモリ機能体231aに正孔注入が行なわれる。

この第2の方法によれば、P型ウェル領域202と第1の拡散層領域207aとのPN接合において、バンド間トンネルによりホットホールが発生するに足りない電圧しか印加されない場合においても、第2の拡散層領域207bから注入された電子は、PN接合で電子-正孔対が発生するトリガーとなり、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。特に、拡散層領域207a、207bとゲート電極204とがオフセットしている場合は、負の電位が印加されたゲート電極204により上記PN接合が急峻となる効果が少ない。そのため、バンド間トンネルによるホットホールの発生が難しいのであるが、第2の方法はその欠点を補い、低電圧で消去動作を実現することができる。

なお、第1のメモリ機能体231aに記憶された情報を消去する場合、第1の消去方法では、第1の拡散層領域207aに+5Vを印加しなければならなかったが、第2の消去方法では、+4Vで足りた。このように、第2の方法によれば、消去時の電圧を低減することができるので、消費電力が低減され、ホットキャリアによる記憶素子の劣化を抑制することができる。

第1、第2の消去方法の何れによっても、本発明の記憶素子は過消去が起きにくいという特徴を有している。過消去とは、メモリ機能体に蓄積された正孔の量が増大するにつれ、飽和することなく閾値が低下していく現象である。フラッシュメモリを代表とするEEPROMでは大きな問題となっており、特に閾値が負になった場合にメモリセルの選択が不可能になるという致命的な動作不良を生じる。本発明の記憶素子においては、メモリ機能体に大量の正孔が蓄積された場合においても、メモリ機能体下に電子が誘起されるのみで、ゲート絶縁膜下のチャネル領域のポテンシャルにはほとんど影響を与えない。消去時の閾値はゲート絶縁膜下のポテンシャルにより決まるので、過消去が起きにくいのである。

次に、上記記憶素子の読み出し動作原理を、図20を用いて説明する。

第1のメモリ機能体231aに記憶された情報を読み出す場合、図20に示す

ように、第1の拡散層領域207aをソース領域に、第2の拡散層領域207bをドレイン領域とし、トランジスタを飽和領域動作させる。例えば、第1の拡散層領域207a及びP型ウェル領域202に0V、第2の拡散層領域207bに+1.8V、ゲート電極204に+2Vを印加すればよい。この際、第1のメモリ機能体231aに電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1のメモリ機能体231aに電子が蓄積している場合は、第1のメモリ機能体231a近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1のメモリ機能体231aの記憶情報を読み出すことができる。このとき、第2のメモリ機能体231bにおける電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。

第2のメモリ機能体231bに記憶された情報を読み出す場合、第2の拡散層領域207bをソース領域に、第1の拡散層領域207aをドレイン領域とし、トランジスタを飽和領域動作させる。例えば、第2の拡散層領域207b及びP型ウェル領域202に0V、第1の拡散層領域207aに+1.8V、ゲート電極204に+2Vを印加すればよい。このように、第1のメモリ機能体231aに記憶された情報を読み出す場合とは、ソース/ドレイン領域を入れ替えることにより、第2のメモリ機能体231bに記憶された情報の読出しを行なうことができる。

なお、ゲート電極204で覆われないチャネル領域が残されている場合、ゲート電極204で覆われないチャネル領域においては、メモリ機能体231a、231bの余剰電荷の有無によって反転層が消失又は形成される結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読出し速度が得られるように、オフセット領域の幅を決定することが好ましい。

拡散層領域207a、207bがゲート電極204端に達している場合、つまり、拡散層領域207a、207bとゲート電極204とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらない

かったが、ソース／ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）した。したがって、ドレイン電流の検出により読出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散層領域207a、207bとゲート電極204とがオーバーラップしていないほうが好ましい。

以上の動作方法により、1トランジスタ当たり選択的に2ビットの書込み及び消去が可能となる。また、記憶素子のゲート電極204にワード線WLを、第1の拡散層領域207aに第1のビット線BL1を、第2の拡散層領域207bに第2のビット線BL2をそれぞれ接続し、記憶素子を配列することにより、メモリセルアレイを構成することができる。

また、上記動作方法では、ソース領域とドレイン領域とを入れ替えることによって1トランジスタ当たり2ビットの書込み及び消去をさせているが、ソース領域とドレイン領域を固定して1ビットメモリとして動作させてもよい。この場合、ソース／ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース／ドレイン領域に接続されるビット線の本数を半減することができる。

以上の説明から明らかなように、上記記憶素子によれば、メモリ機能体231a、231bはゲート絶縁膜203と独立して形成され、ゲート電極204の両側に形成されている。そのため、2ビット動作が可能である。更には、各メモリ機能体231a、231bはゲート電極204により分離されているので書換え時の干渉が効果的に抑制される。また、メモリ機能体231a、231bはゲート電極204で分離されているので、ゲート絶縁膜203を薄膜化して短チャネル効果を抑制することができる。したがって記憶素子の微細化が容易となる。

（実施の形態9）

この実施の形態9は、記憶素子の書換えを行ったときの電気特性の変化に関する。

図21は、Nチャネル型記憶素子のメモリ機能体中の電荷量が増加したときにおけるドレイン電流 I_d 対ゲート電圧 V_g の特性（実測値）である。なお、図21において、実線は消去状態におけるドレイン電流 I_d とゲート電圧 V_g との関係を示し、点線は書き込み状態におけるドレイン電流 I_d とゲート電圧 V_g との

関係を示している。

図 2 1 から明らかなように、消去状態（図 2 1 中において実線で示す状態）から書込み動作を行った場合、単純に閾値が上昇するのみならず、特にサブスレッシュ
5 ショルド領域においてグラフの傾きが顕著に減少している。そのため、ゲート電圧 V_g が比較的高い領域においても、消去状態と書込み状態とでのドレイン電流比が大きくなっている。例えば、 $V_g = 2.5 \text{ V}$ においても、電流比は 2 桁以上を保っている。このような特性は、EEPROM の場合（図 2 2）と大きく異なる。なお、図 2 2 において、実線は消去状態におけるドレイン電流の対数 $\log(I_d)$ とゲート電圧 V_g との関係を示し、点線は書き込み状態におけるドレイン電流の対数 $\log(I_d)$ とゲート電圧 V_g との関係を示している。

このような特性の出現は、ゲート電極と拡散層領域とがオフセットし、ゲート電界がオフセット領域に及びにくいために起こる特有な現象である。記憶素子が書込み状態にあるときには、ゲート電極に正電圧を加えてもメモリ機能体下のオフ
15 セット領域には反転層が極めてできにくい状態になっている。これが、図 2 1 の書込み状態においてサブスレッシュ領域での $I_d - V_g$ 曲線の傾きが小さくなる原因となっている。一方、記憶素子が消去状態にあるときには、オフセット領域には高密度の電子が誘起されている。なおかつ、ゲート電極に 0 V が印加されているとき（すなわちオフ状態にあるとき）は、ゲート電極下のチャンネルには電子が誘起されない（そのためオフ電流が小さい）。これが、消去状態においてサブスレッシュ領域での $I_d - V_g$ 曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率（コンダクタンス）が大きい原因となっている。

以上のことから明らかなように、本発明の記憶素子は、書込み時と消去時のドレイン電流比を特に大きくすることができる。

以下に、上記実施の形態 1 ～ 7 に記載した記憶素子を備えた IC カードの実施
25 例を記す。

（実施の形態 10）

本実施の形態 10 の IC カードを、図 1 及び図 2 を用いて説明する。図 1 は、IC カードの構成を示す図である。図 2 は、IC カードに用いられる記憶素子からなるセルをアレイ状にしたときの回路図の例を示している。

図1中、1はICカード、501はMPU部、502はコネクタ部、503はデータメモリ部、504は演算部、505は制御部、506はROM、507はRAM、508は配線、509はリーダライタである。本実施の形態10のICカードは、図24に示した従来のICカードと同様な構成を有しているので、説明は省略する。

本実施の形態10のICカードが図24の従来のICカードと異なるのは、データメモリ部503に、微細化が可能なゆえに製造コストを削減することが可能な記憶素子、つまり実施の形態1～7に記載の記憶素子を用いていることである。

上記記憶素子からなるデータメモリ部と、通常のロジックトランジスタからなる論理演算部とを1つのチップ上に混載する場合は、記憶素子と通常のロジックトランジスタとの混載プロセスが極めて容易なために、本発明のICカードの製造コスト低減効果がさらに大きくなる。上記記憶素子と通常のロジックトランジスタとの混載プロセスの容易性を以下に説明する。

この記憶素子は、通常のロジックトランジスタとは、ほぼ同様の工程を経て形成することができる。一例として、図5に示す記憶素子の形成手順を説明する。まず、公知の手順で、半導体基板111上にゲート絶縁膜114及びゲート電極117を形成する。続いて、半導体基板111上全面に、膜厚0.8～20nm、より好ましくは膜厚3～10nmのシリコン酸化膜を熱酸化法により形成又はCVD (Chemical Vapor Deposition: 化学的気相成長) 法により堆積する。次に、上記シリコン酸化膜上全面に、膜厚2～15nm、より好ましくは3～10nmのシリコン窒化膜をCVD法により堆積する。更に、上記シリコン窒化膜上全面に、20～70nmのシリコン酸化膜をCVD法により堆積する。

続いて、異方性エッチングによりシリコン酸化膜/シリコン窒化膜/シリコン酸化膜をエッチバックすることにより、記憶に最適なメモリ機能体を、ゲート電極の側壁に記憶素子サイドウォールスペーサ状に形成する。

その後、ゲート電極117及びサイドウォールスペーサ状のメモリ機能体をマスクとしてイオン注入することにより、拡散層領域（ソース/ドレイン領域）112、113を形成する。その後、公知の手順でシリサイド工程や上部配線工程

を行なえばよい。

上記手順からわかるように、記憶素子を形成するための手順は、通常の標準ロジックトランジスタ形成プロセスと非常に親和性の高いものとなっている。標準ロジック部を構成するトランジスタは、図23に示す構造が一般的である。図23に示すトランジスタ7は、半導体基板311、ゲート絶縁膜312、ゲート電極313、絶縁膜からなるサイドウォールスペーサ314、ソース領域317、ドレイン領域318、LDD (Lightly Doped Drain : 浅いドレイン) 領域319の構成要素からなっている。上記構成は、上記記憶素子の構成に近い。上記標準ロジック部を構成するトランジスタを上記記憶素子に変更するためには、例えば、上記サイドウォールスペーサ314にメモリ機能体としての機能を付加し、LDD領域319を除去するだけでよい。より具体的には、サイドウォールスペーサ314を、例えば、図5のメモリ機能体161、162と同様な構造に変更すればよい。この際、シリコン酸化膜141、143、シリコン窒化膜142の膜厚構成比は記憶素子が適切な動作をするように選ばばよい。上記標準ロジック部を構成するトランジスタ7の記憶素子サイドウォールスペーサ314の膜構成が図5のメモリ機能体161、162と同様な構造であったとしても、記憶素子サイドウォールスペーサ幅（すなわちシリコン酸化膜141、143とシリコン窒化膜142とのトータル膜厚）が適切であって、書換え動作が起こらない電圧範囲で動作させる限り、トランジスタ性能を損なうことがない。また、上記標準ロジック部を構成するトランジスタと上記記憶素子とを混載させるためには、更に、上記記憶素子部のみLDD構造を形成しない必要がある。LDD構造を形成するためには、上記ゲート電極を形成した後であって上記メモリ機能体（記憶素子サイドウォールスペーサ）を形成する前に、LDD形成のための不純物注入を行なえばよい。したがって、上記LDD形成のための不純物注入を行なう際に、上記記憶素子部のみフォトレジストでマスクするだけで、上記記憶素子と上記標準ロジック部を構成するトランジスタとを容易に混載することが可能となる。更に、上記標準ロジック部を構成するトランジスタによってSRAMを構成すれば、不揮発性メモリ、ロジック回路、SRAM（スタティック・ランダム・アクセス・メモリ）を容易に混載することができる。

ところで、上記記憶素子部において上記標準ロジック部よりも高い電圧を印加する必要がある場合、高耐圧ウェル形成用マスク及び高耐圧ゲート絶縁膜形成用マスクを、標準ロジック形成用マスクに追加するだけでよい。ところで、従来のICカードで多用されているEEPROMは、その形成プロセスが標準ロジックプロセスと著しく異なる。それゆえ、EEPROMを不揮発性メモリとして用いてロジック回路と混載した従来の場合に比べて、飛躍的にマスク枚数及びプロセス工数を削減することが可能となる。したがって、ロジック回路と不揮発性メモリとを混載したチップの歩留まりが向上し、コストが削減される。

上記記憶素子によれば、メモリ機能体はゲート絶縁膜と独立して形成され、ゲート電極の両側に形成されている。そのため、2ビット動作が可能である。更には、各メモリ機能体はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。また、メモリ機能体が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されているので、ゲート絶縁膜厚を薄膜化して短チャネル効果を抑制することができる。したがって記憶素子の微細化が容易となる。

図2は、上記記憶素子を配列して構成したメモリセルアレイの一例の回路図である。図2中、 W_m は m 番目のワード線（したがって、 W_1 は1番目のワード線）、 B_{1n} は n 番目の第1ビット線、 B_{2m} は m 番目の第2ビット線、 M_{mn} は m 番目のワード線（ m 番目の第2ビット線）と n 番目の第1ビット線に接続されたメモリセルをそれぞれあらわしている。メモリセルアレイの配列は上記の例に限らず、第1ビット線と第2ビット線を平行に配置したものや、第2ビット線を全て接続して共通ソース線としたものなどでもよい。

上記記憶素子は微細化が容易であり、かつ2ビット動作が可能であるから、これを配列したメモリセルアレイの面積を縮小するのも容易となる。したがって、メモリセルアレイのコストを削減することができる。このメモリセルアレイをICカードのデータメモリ部503に用いれば、ICカードのコストが削減される。

なお、ROM506を上記記憶素子で構成してもよい。このようにすれば、MPU部501を駆動するためのプログラムが格納されているROM506を外から書き換えることが可能となり、ICカードの機能を飛躍的に高くすることが

できる。上記記憶素子は微細化が容易で、かつ2ビット動作が可能であるから、マスクROMを上記記憶素子で置き換えてもチップ面積の増大をほとんど招かない。また、上記記憶素子を形成するプロセスは、通常のCMOS形成プロセスとほとんど変わらないので、論理回路部との混載が容易である。

5 本発明のICカードに用いる記憶素子のメモリ機能体は、例えば、図5に示した記憶素子のように、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。このとき、上記第1の絶縁体とはシリコン窒化物であり、上記第2及び第3の絶縁膜とはシリコン酸化物である場合が特に好ましい。このようなメモリ機能体を有する記憶素子は、高速書換え、高信頼性、十分な保持特性を有している。したがって、このような記憶素子を本発明のICカードに用いれば、ICカードの動作速度を向上し、信頼性を向上させることが可能となる。

10 また、本発明のICカードに用いる記憶素子は、実施の形態6の記憶素子を用いることが好ましい。すなわち、電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（T1）が、ゲート絶縁膜の厚さ（T2）よりも薄く、0.8nm以上であることが好ましい。このような記憶素子は、書込み動作及び消去動作が低電圧で行なわれ、又は書込み動作及び消去動作が高速である。更には、記憶素子のメモリ効果が大きい。したがって、このような記憶素子を本発明のICカードに用いれば、ICカードの電源電圧を低くし、又は動作速度を向上させることが可能となる。

15 また、本発明のICカードに用いる記憶素子は、実施の形態7の記憶素子を用いることが好ましい。すなわち、電荷保持膜（シリコン窒化膜142）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（T1）が、ゲート絶縁膜の厚さ（T2）よりも厚く、20nm以下であることが好ましい。このような記憶素子は、記憶素子の短チャネル効果を悪化させることなく保持特性を改善することができるから、高集積化しても十分な記憶保持性能を得ることができる。したがって、このような記憶素子を本発明のICカードに用いれば、データメモリ部の記憶容量を大きくして機能を向上させ、又は製造コストを削減することが可能となる。

また、本発明のＩＣカードに用いる記憶素子は、実施の形態１に記述したように、メモリ機能体１６１、１６２における電荷を保持する領域（シリコン窒化膜１４２）は、拡散層領域１１２、１１３とそれぞれオーバーラップするのが好ましい。このような記憶素子は、読出し速度を十分に高速にすることができる。したがって、このような記憶素子を本発明のＩＣカードに用いれば、ＩＣカードの動作速度を向上させることが可能となる。

また、本発明のＩＣカードに用いる記憶素子は、実施の形態１に記述したように、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むことが好ましい。このような記憶素子は、記憶素子のメモリ効果のばらつきを小さくすることができるので、読出し電流ばらつきを抑えることができる。更には、記憶保持中の記憶素子の特性変化を小さくすることができるので記憶保持特性が向上する。したがって、このような記憶素子を本発明のＩＣカードに用いれば、ＩＣカードの信頼性を向上させることができる。

また、本発明のＩＣカードに用いる記憶素子は、実施の形態２に記述したように、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含み、かつ、ゲート電極側面と略並行に延びた部分を含むことが好ましい。このような記憶素子は、書換え動作が高速である。したがって、このような記憶素子を本発明のＩＣカードに用いれば、ＩＣカードの動作速度を向上させることが可能となる。

（実施の形態１１）

本実施の形態１１のＩＣカードを、図３を用いて説明する。

図３のＩＣカード２の構成が、ＩＣカード１の構成と異なるのは、ＭＰＵ部５０１とデータメモリ部５０３が１つの半導体チップ上に形成され、データメモリ部を混載するＭＰＵ部５１０を構成している点である。

実施の形態１で既述の通り、データメモリ部５０３を構成する記憶素子は、ＭＰＵ部５１０の論理回路部（演算部５０４及び制御部５０５）を構成する素子と形成プロセスが非常に似ているために、両素子を混載するのが非常に容易である。ＭＰＵ部５１０にデータメモリ部５０３を内蔵し、１つのチップ上に形成すれば、ＩＣカードのコストを大きく低減することができる。このとき、データメモリ部

5 0 3に上記記憶素子を用いれば、例えばEEPROMを用いた場合に比べて混載プロセスが著しく簡略化される。したがって、MPU部とデータメモリ部を1つのチップ上に形成することによるコスト削減効果が特に大きくなるのである。

5 なお、実施の形態1の場合と同様に、ROM506を上記記憶素子で構成してもよい。このようにすれば、MPU部510を駆動するためのプログラムが格納されているROM506を外部から書き換えることが可能となり、ICカードの機能を飛躍的に高くすることができる。上記記憶素子は微細化が容易で、かつ2ビット動作が可能であるから、マスクROMを上記記憶素子で置き換えてもチップ面積の増大をほとんど招かない。また、上記記憶素子を形成するプロセスは、
10 通常のCMOS形成プロセスとほとんど変わらないので、論理回路部との混載が容易である。

(実施の形態12)

本実施の形態12のICカードを、図4を用いて説明する。

15 図4のICカード3が、ICカード2と異なるのは、非接触型であるという点である。そのため、制御部505はコネクタ部ではなくRFインターフェース部511と接続されている。RFインターフェース部511は、更に、アンテナ部512に接続されている。アンテナ部512は、外部機器との通信及び集電機能を有する。RFインターフェース部511は、アンテナ部512から伝達した高周波信号を整流し電力を供給する機能と、信号の変調及び復調機能を有する。
20 なお、RFインターフェース部511及びアンテナ部512は、MPU部510と1つのチップ上に混載されていてもよい。

25 本実施の形態のICカード3は非接触型であるから、コネクタ部を通じた静電破壊を防止することができる。また、外部機器と必ずしも密着する必要がないので、使用形態の自由度が大きくなる。更には、データメモリ部503を構成する記憶素子は、上記実施の形態8で詳しく述べたように、従来のEEPROM(約1.2Vの電源電圧)に比べて低い電源電圧(約9V)で動作するので、RFインターフェース部111の回路を小型化し、コストを削減することができる。

請求の範囲

1. 複数の記憶素子 (M_{11}, \dots, M_{mn}) を有するデータメモリ部 (503) を備えたICカードであって、

5 上記記憶素子 (M_{11}, \dots, M_{mn}) は、

半導体基板 (111)、半導体基板内に設けられたウェル領域 (202) 又は絶縁体 (188) 上に配置された半導体膜 (187) と、

10 上記半導体基板 (111) 上、半導体基板内に設けられたウェル領域 (202) 上又は絶縁体 (188) 上に配置された半導体膜 (187) 上に形成されたゲート絶縁膜 (114, 203) と、

上記ゲート絶縁膜 (114, 203) 上に形成された単一のゲート電極 (117, 204) と、

上記単一のゲート電極 (117, 204) 側壁の両側に形成された2つのメモリ機能体 (161, 162, 162a, 231a, 231b) と、

15 上記単一のゲート電極 (117, 204) 下に配置されたチャネル領域と、

上記チャネル領域の両側に配置された拡散層領域 (112, 113, 207a, 207b) とを備え、

20 上記メモリ機能体 (161, 162, 162a, 231a, 231b) に保持された電荷の多寡若しくは分極ベクトルにより、上記ゲート電極 (117, 204) に電圧を印加した際の上記一方の拡散層領域 (112, 113, 207a, 207b) から他方の拡散層領域 (112, 113, 207a, 207b) に流れる電流量を変化させるように構成されてなることを特徴とするICカード。

2. 請求項1に記載のICカードにおいて、

25 論理演算部 (504) を備えたことを特徴とするICカード。

3. 請求項2に記載のICカードにおいて、

外部の機器 (509) との通信手段 (502, 512) と、

外部から照射された電磁波を電力に変換する集電手段 (511) とを備えたこ

とを特徴とする I C カード。

4. 請求項 2 に記載の I C カードにおいて、

5 上記データメモリ部 (503) と上記論理演算部 (504) は 1 つのチップ上に形成されていることを特徴とする I C カード。

5. 請求項 2 に記載の I C カードにおいて、

上記論理演算部 (504) は、上記論理演算部 (504) の動作を規定するプログラムを記憶する記憶手段 (506) を備え、

10 上記記憶手段 (506) は外部から書き換え可能であり、

上記記憶手段 (506) は、上記データメモリ部の記憶素子 (M_{11} , ..., M_{mn}) と同じ構成を有する記憶素子を備えたことを特徴とする I C カード。

6. 請求項 1 に記載の I C カードにおいて、

15 上記記憶素子 (M_{11} , ..., M_{mn}) 1 つにつき 2 ビットの情報を記憶させることを特徴とする I C カード。

7. 請求項 1 に記載の I C カードにおいて、

20 上記メモリ機能体 (161, 162, 162a, 231a, 231b) は、第 1 の絶縁体、第 2 の絶縁体および第 3 の絶縁体を有し、

上記メモリ機能体 (161, 162, 162a, 231a, 231b) は、電荷を蓄積する機能を有する上記第 1 の絶縁体からなる膜 (142, 142a, 142b) が、上記第 2 の絶縁体と上記第 3 の絶縁体とに挟まれた構造を有し、

上記第 1 の絶縁体はシリコン窒化物であり、

25 上記第 2 及び第 3 の絶縁体はシリコン酸化物であることを特徴とする I C カード。

8. 請求項 7 に記載の I C カードにおいて、

上記チャネル領域上における上記第 2 の絶縁体からなる膜 (141) の厚さ

(T1) が、上記ゲート絶縁膜(114, 203)の厚さ(T2)よりも薄く、かつ0.8nm以上であることを特徴とするICカード。

9. 請求項7に記載のICカードにおいて、

- 5 上記チャネル領域上における上記第2の絶縁体からなる膜(141)の厚さ(T1)が、上記ゲート絶縁膜(114, 203)の厚さ(T2)よりも厚く、かつ20nm以下であることを特徴とするICカード。

10. 請求項7に記載のICカードにおいて、

- 10 上記電荷を蓄積する機能を有する第1の絶縁体からなる膜(142, 142a, 142b)が、上記ゲート絶縁膜(114, 203)の表面と略平行な表面を有する部分(181)を含むことを特徴とするICカード。

11. 請求項10に記載のICカードにおいて、

- 15 上記電荷を蓄積する機能を有する第1の絶縁体からなる膜(142, 142a, 142b)が、上記ゲート電極(117, 204)の側面と略並行に延びた部分(182)を含むことを特徴とするICカード。

12. 請求項1に記載のICカードにおいて、

- 20 上記メモリ機能体(161, 162, 162a, 231a, 231b)の少なくとも一部が上記拡散層領域の一部にオーバーラップするように形成されてなることを特徴とするICカード。

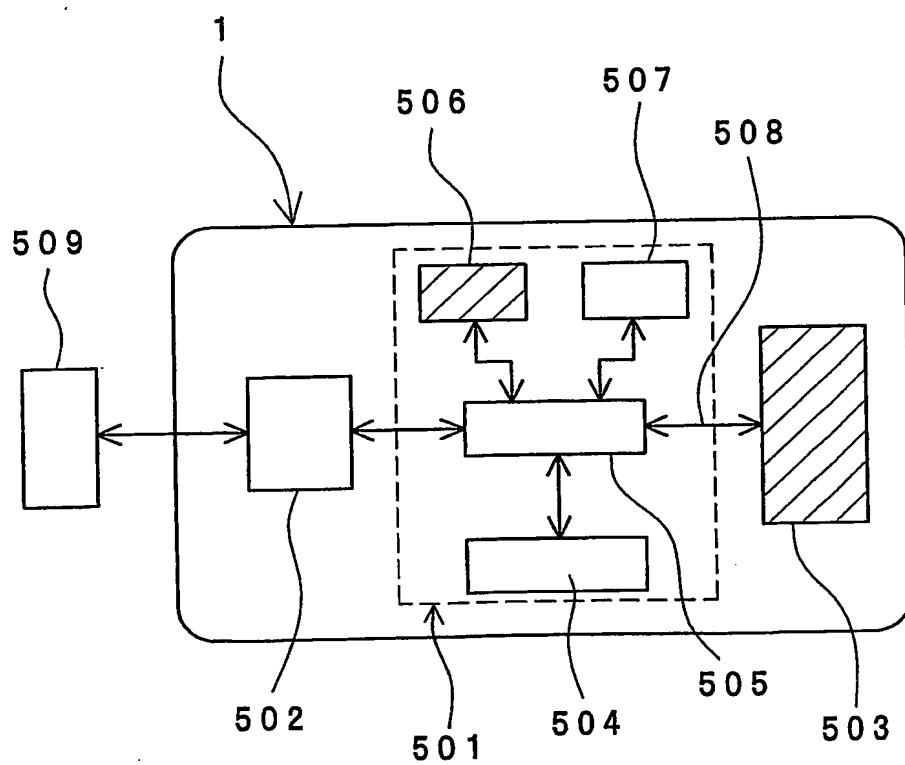
Fig. 1

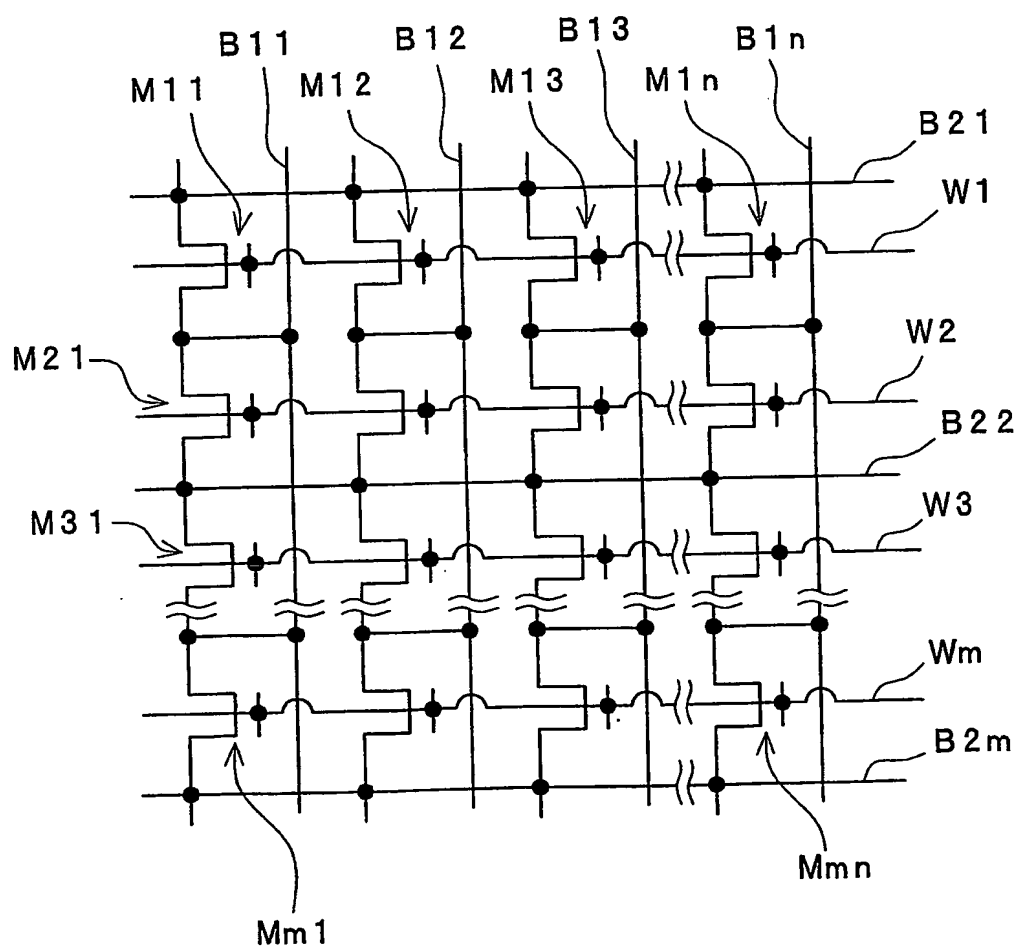
Fig. 2

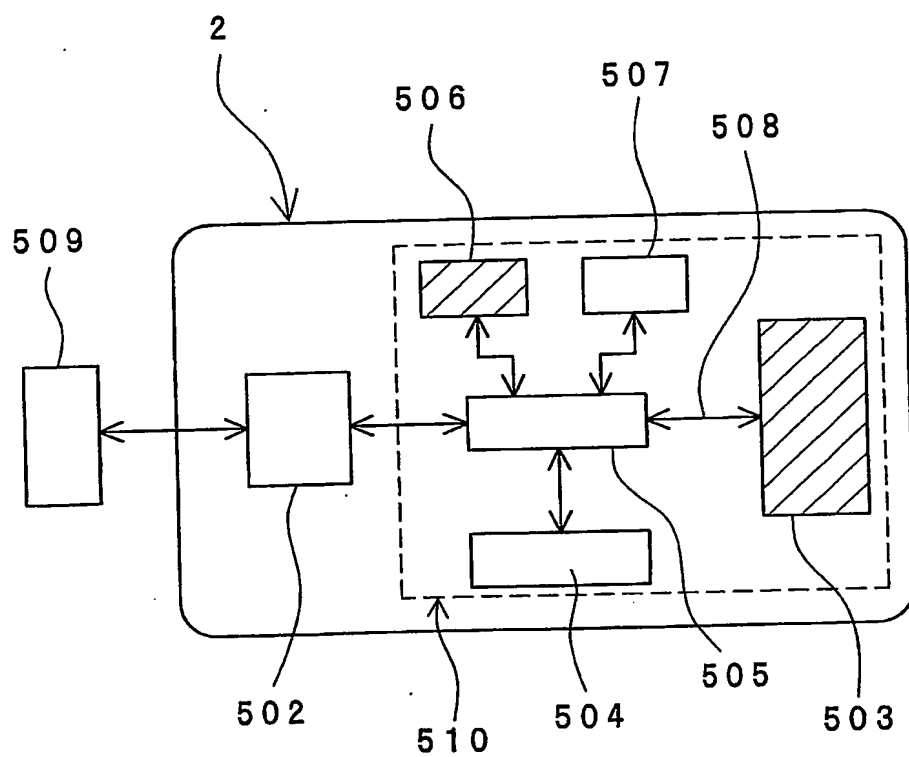
Fig. 3

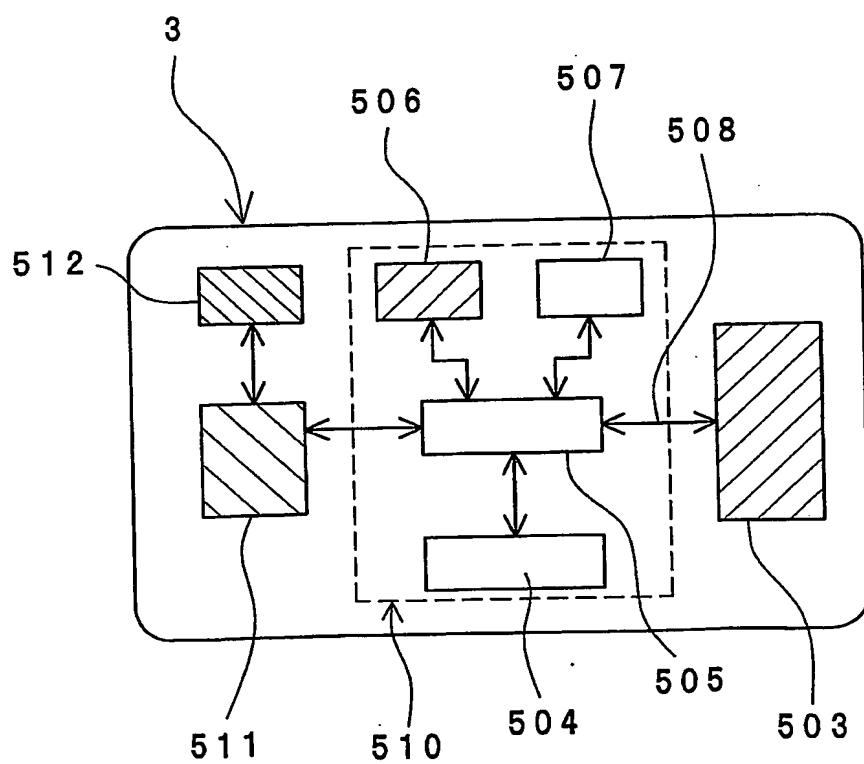
Fig. 4

Fig. 5

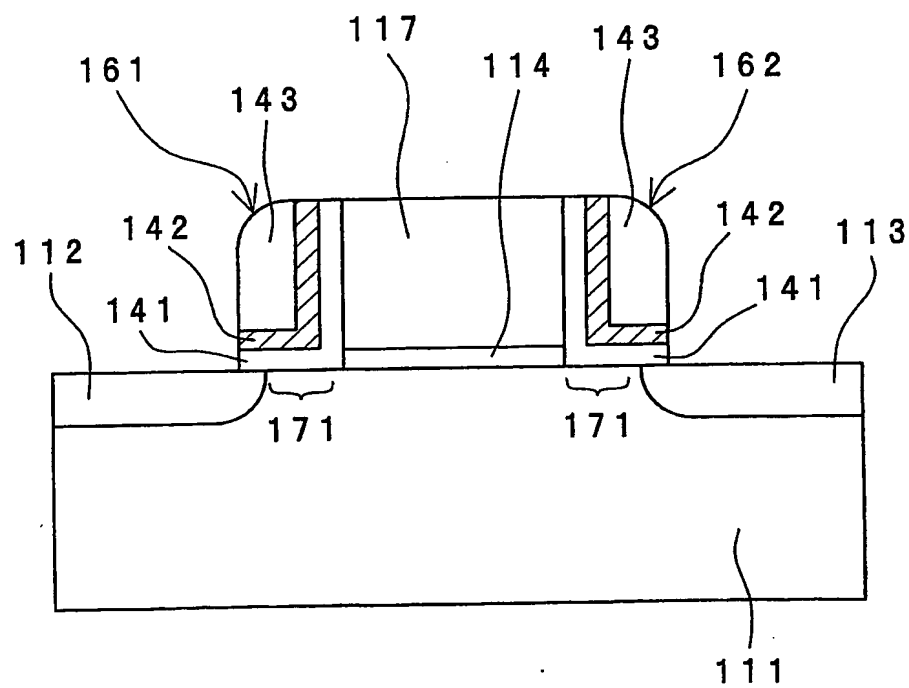


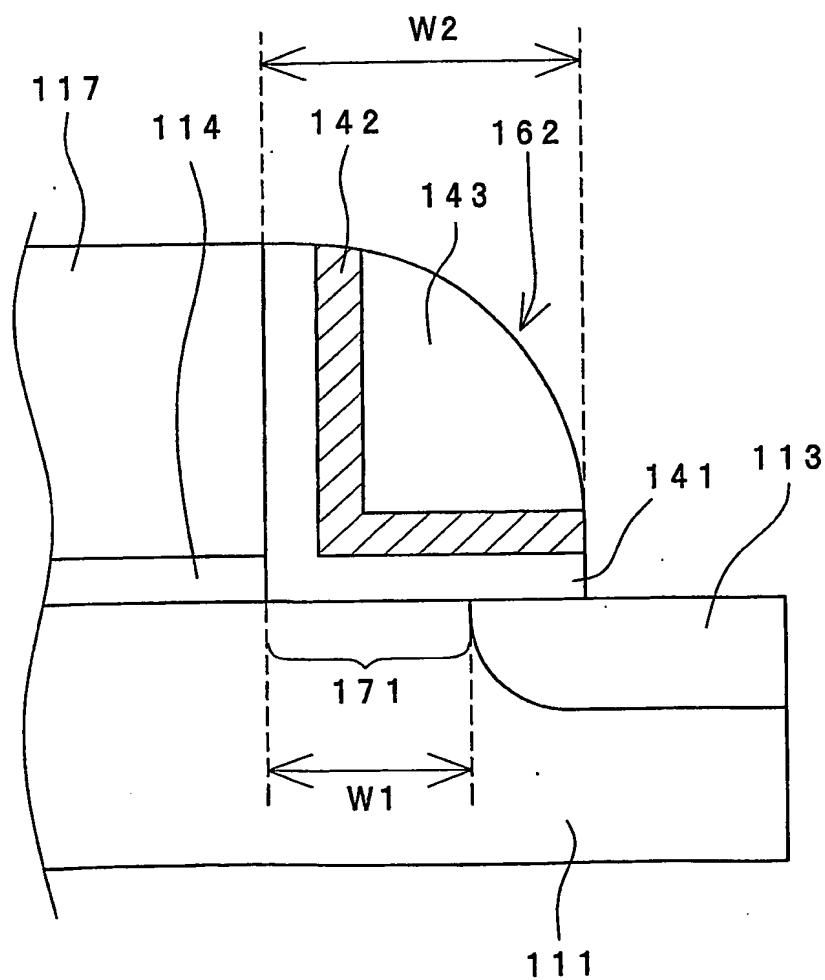
Fig. 6

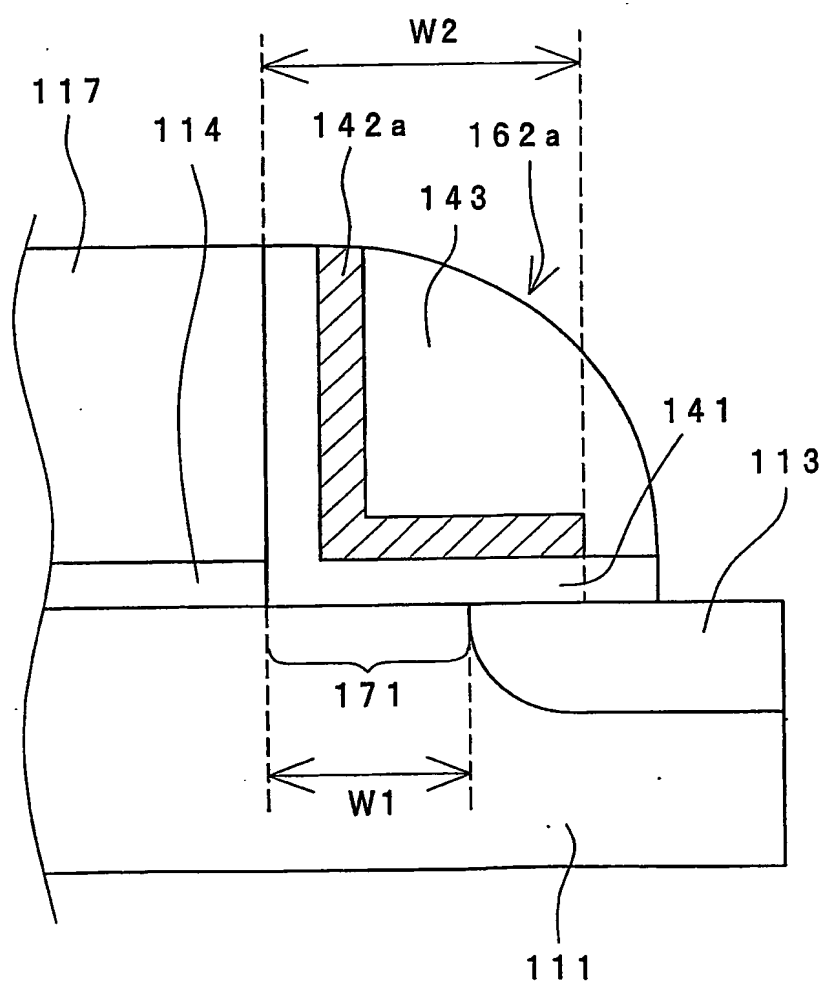
Fig. 7

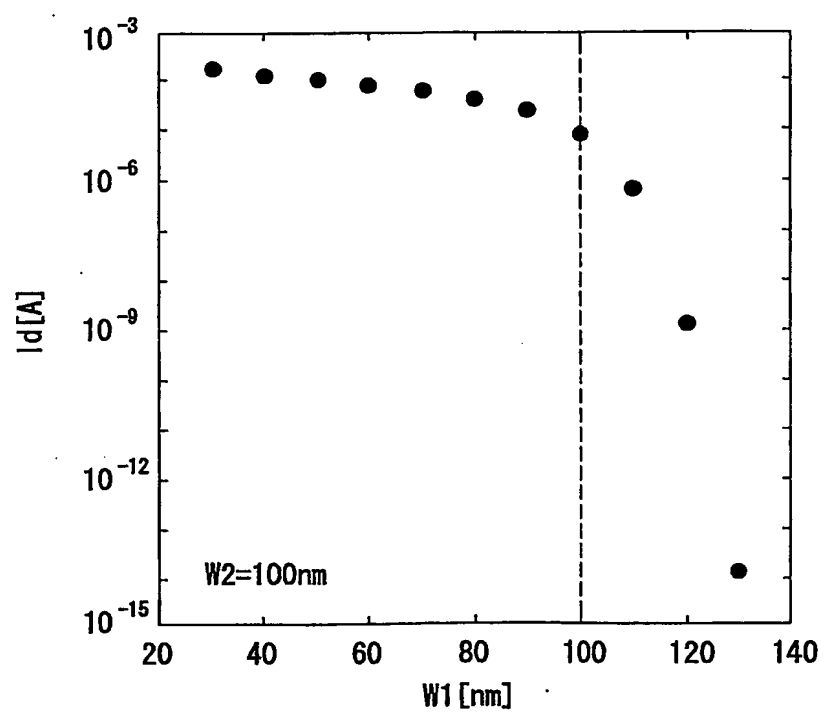
Fig. 8

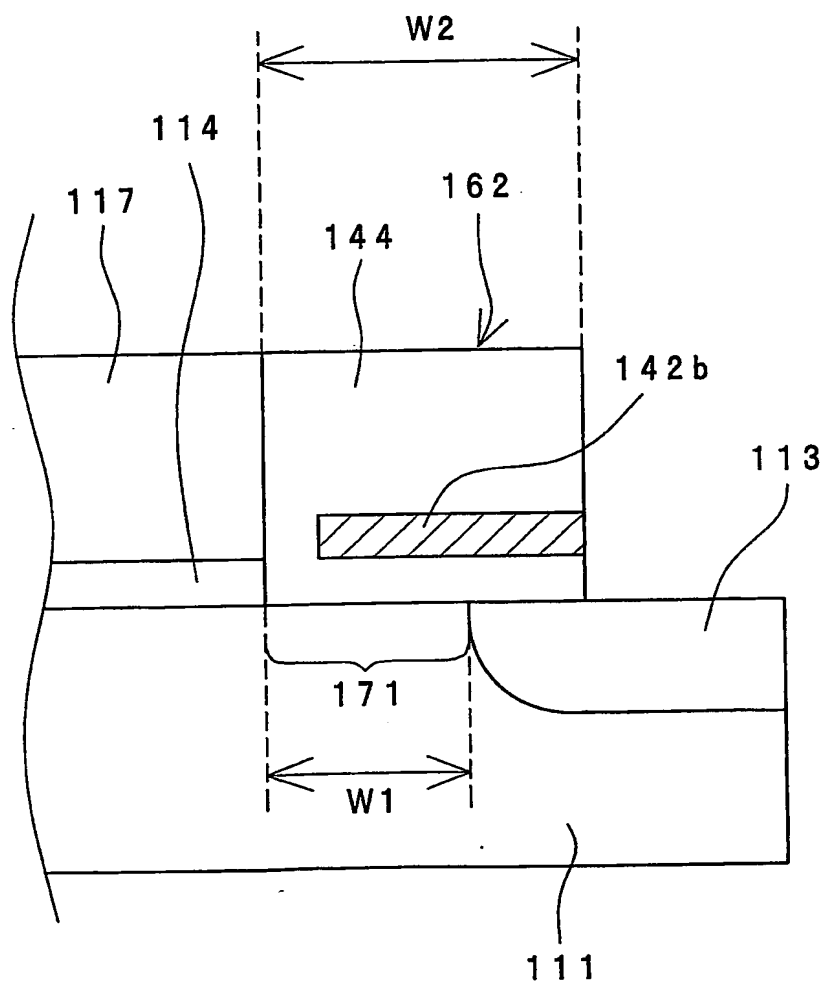
Fig. 9

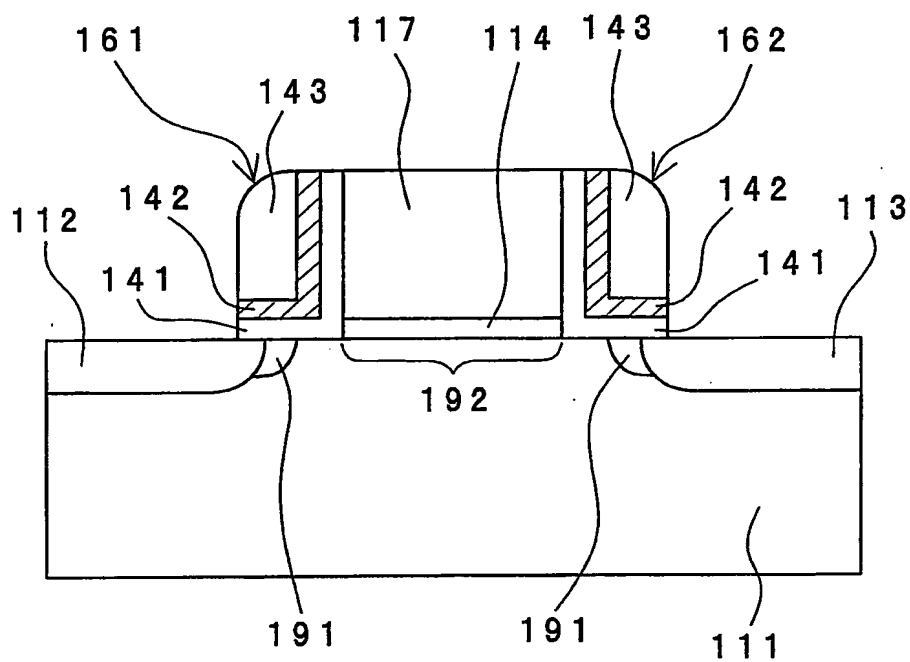
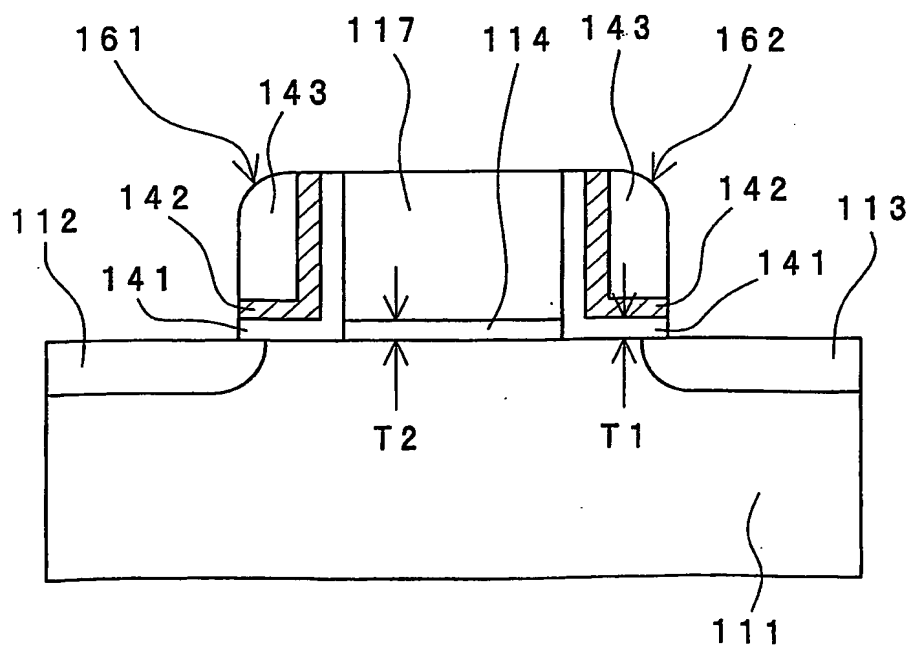
Fig. 13*Fig. 14*

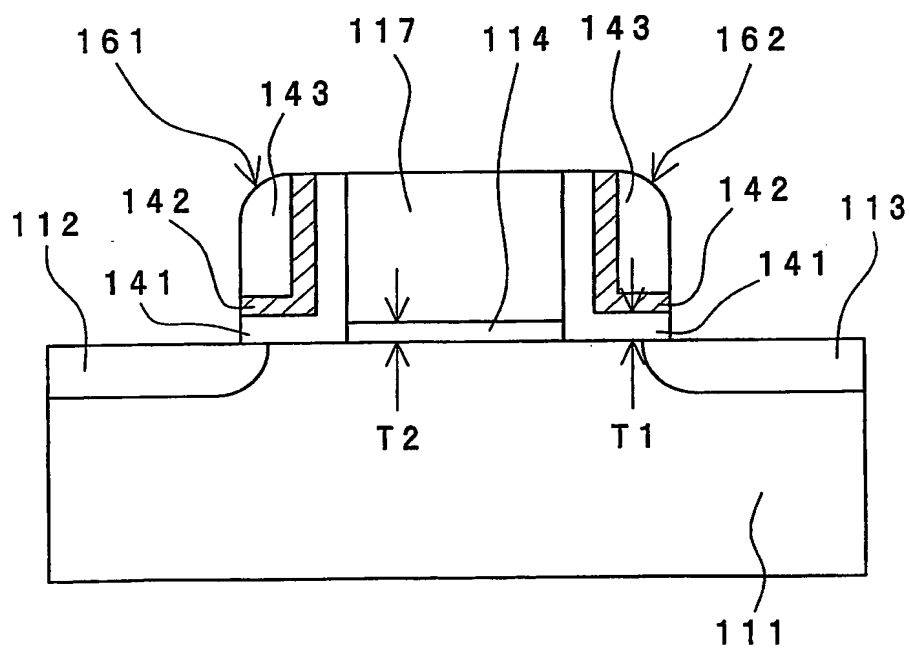
Fig. 15

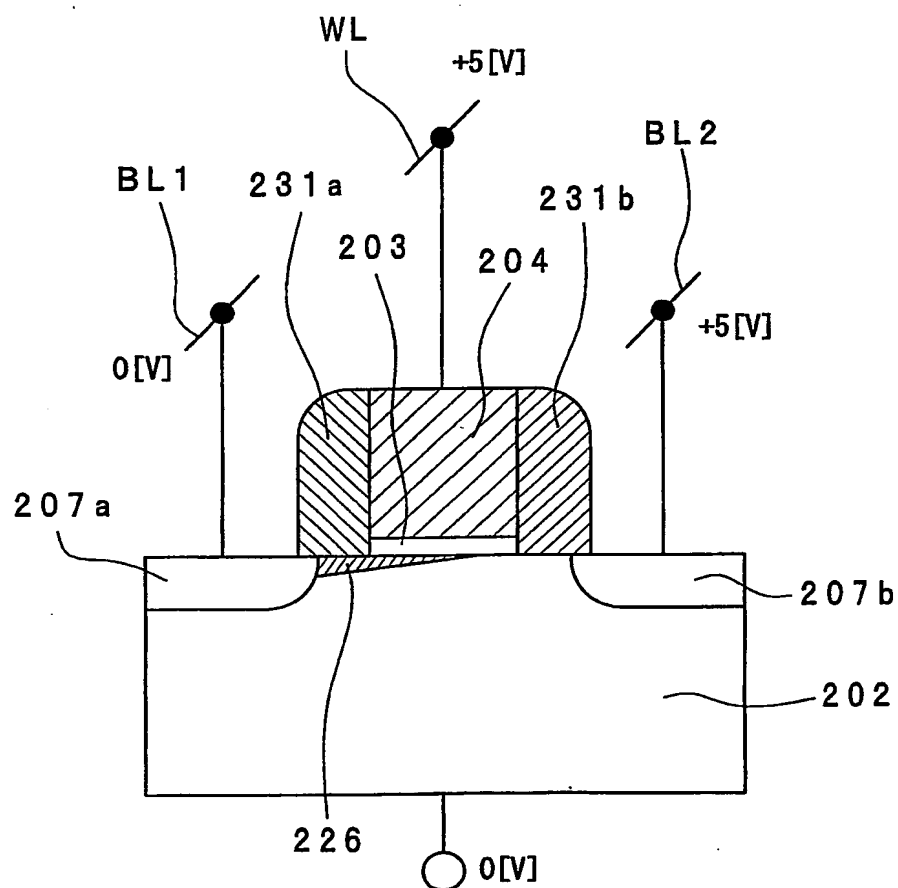
Fig. 16

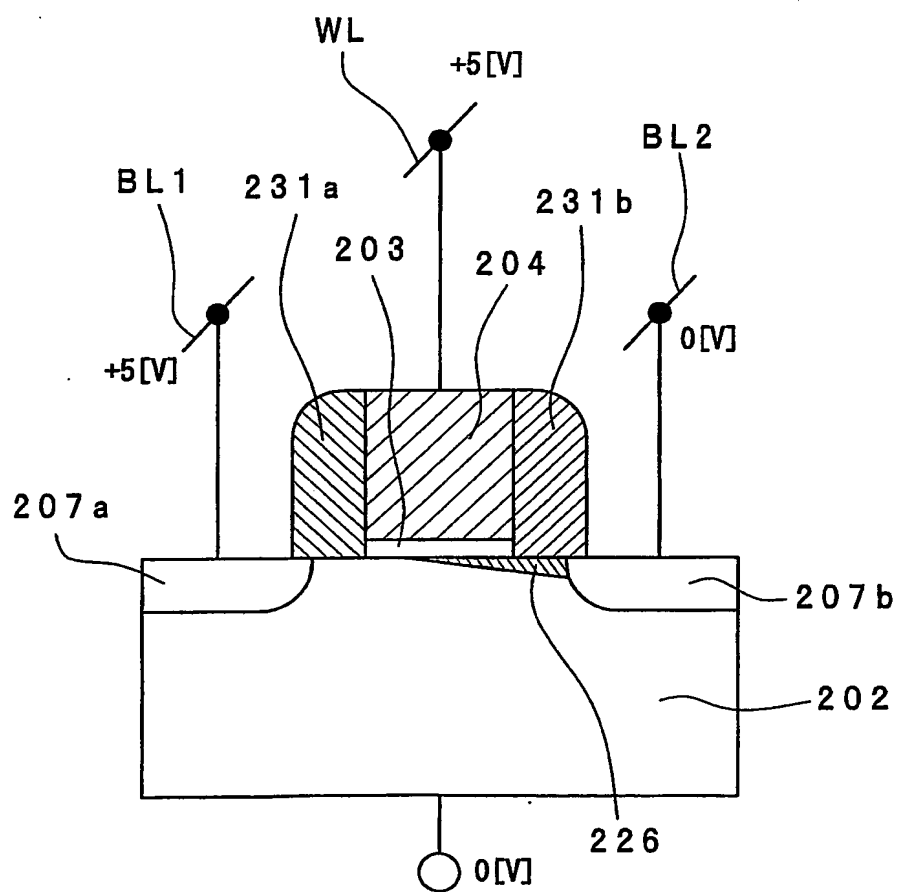
Fig. 17

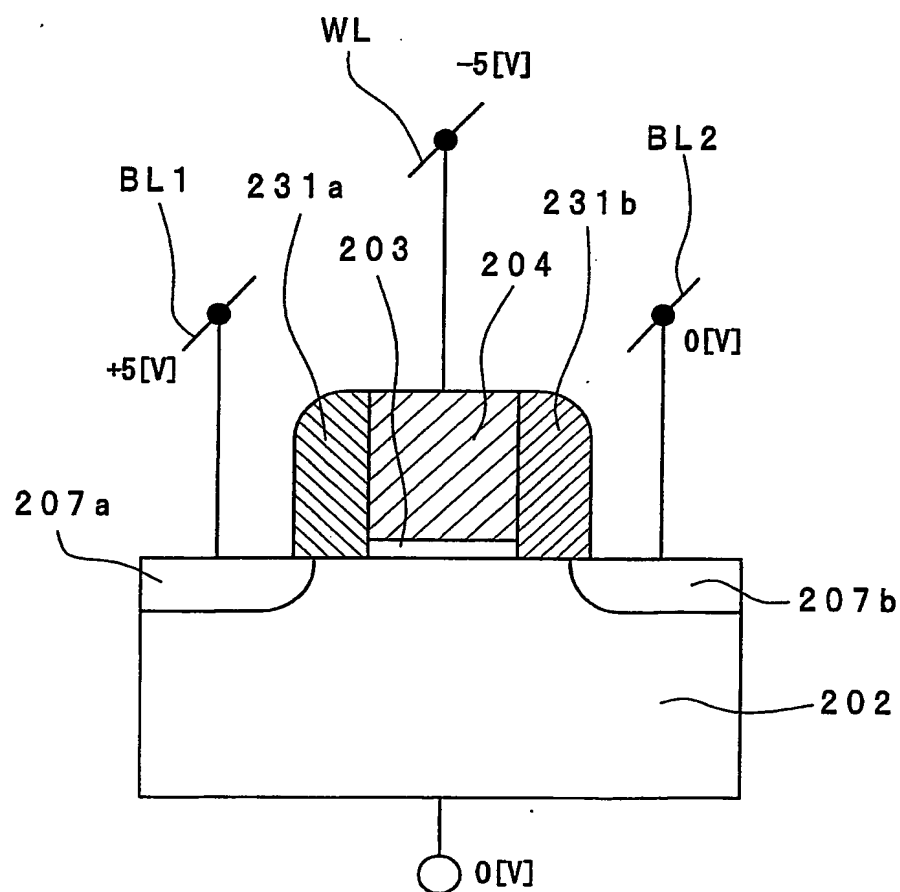
Fig. 18

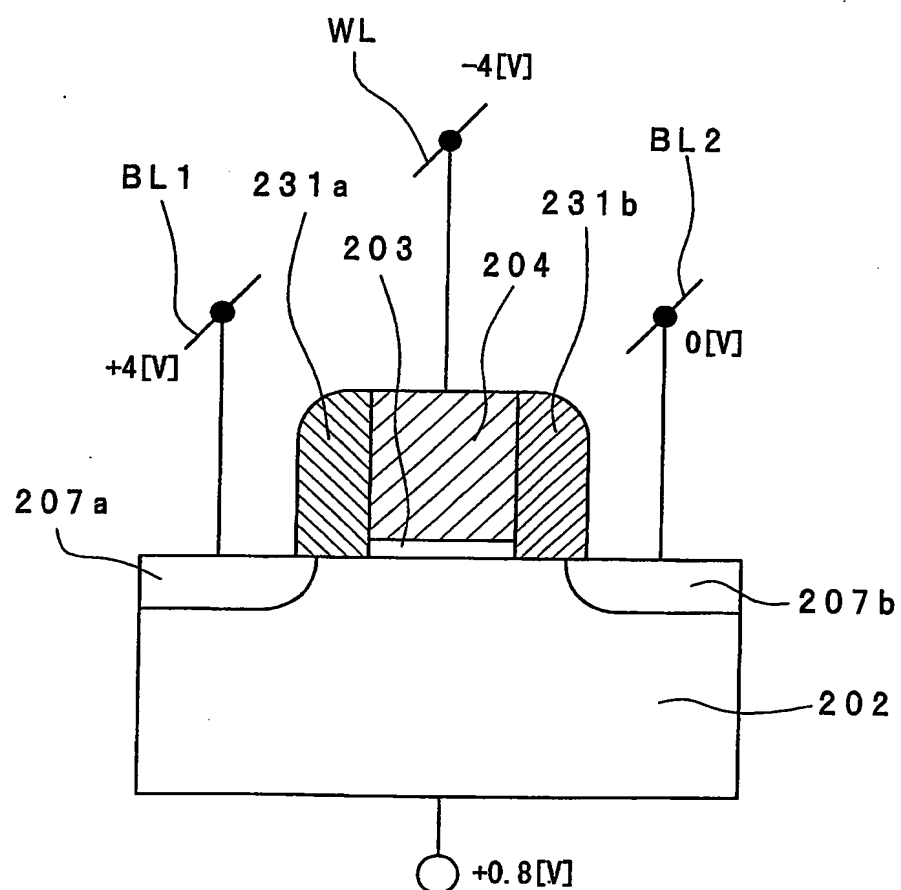
Fig. 19

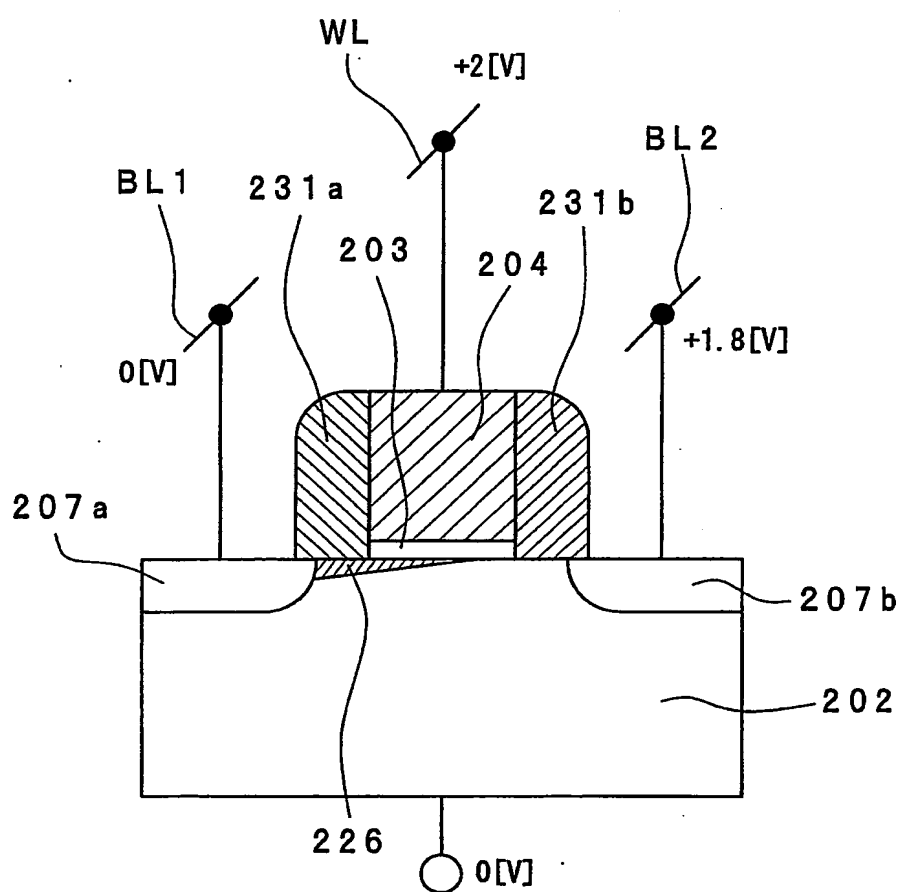
Fig. 20

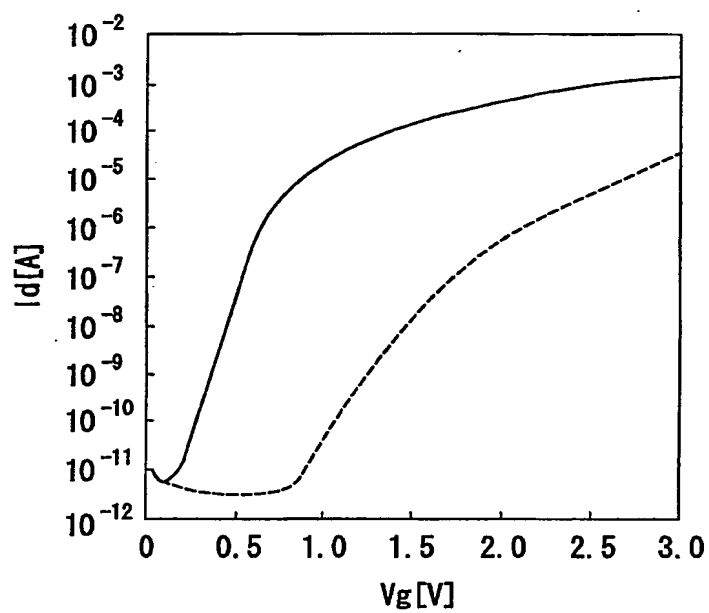
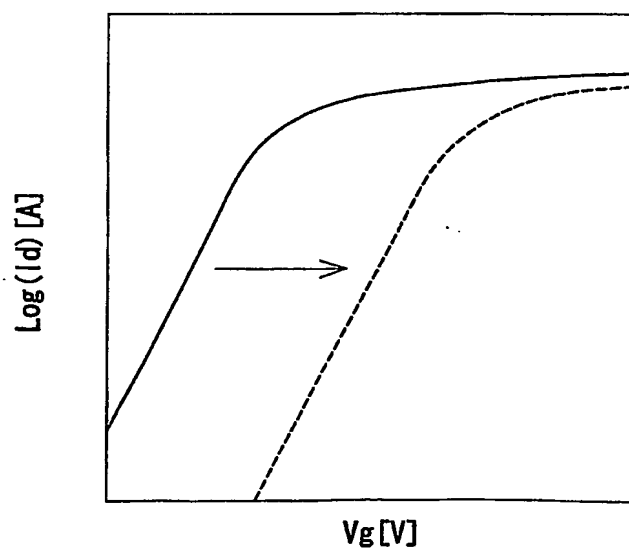
Fig. 21*Fig. 22*

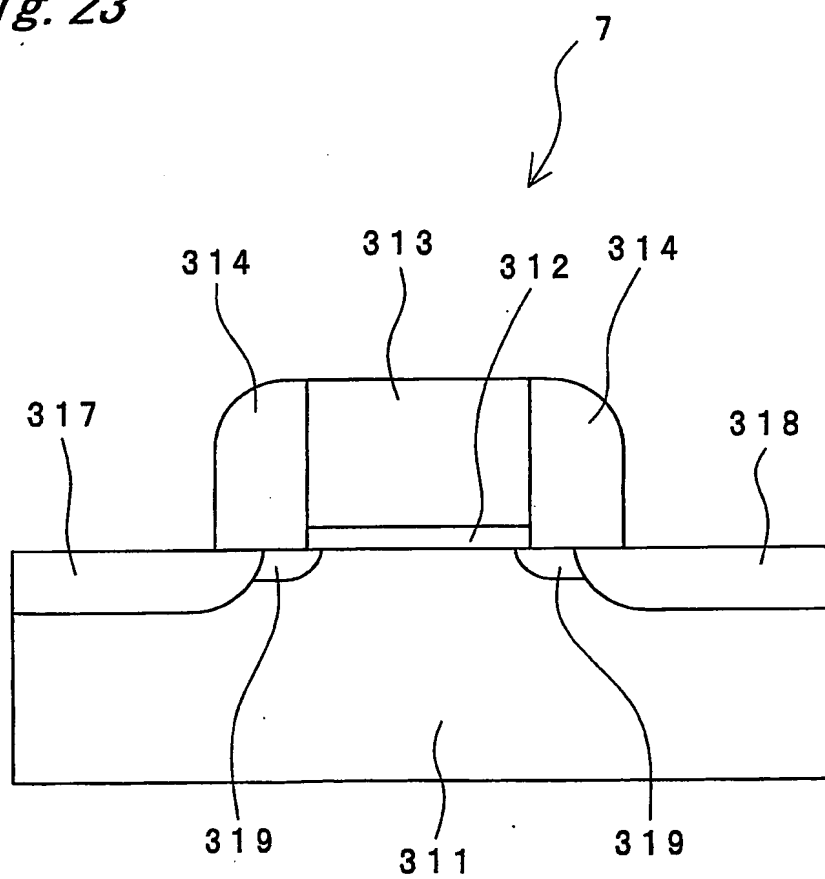
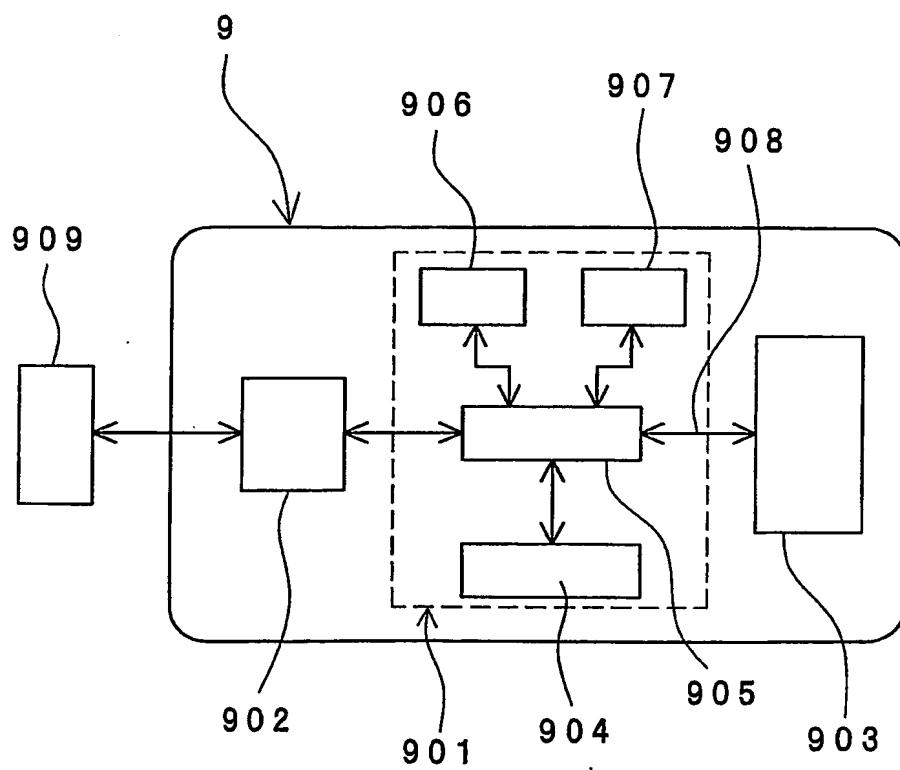
Fig. 23

Fig. 24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06730

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/788, H01L29/792, H01L27/115, H01L21/8247,
G06K19/077

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/788, H01L29/792, H01L27/115, H01L21/8247,
G06K19/077

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-120501 A (Mitsubishi Electric Corp.), 18 May, 1993 (18.05.93), Full text; Figs. 1, 3, 5 (Family: none)	1-12
Y	JP 8-171621 A (Matsushita Electric Industrial Co., Ltd.), 02 July, 1996 (02.07.96), Full text; Fig. 1 (Family: none)	1-12
Y	US 6335554 B1 (KABUSHIKI KAISHA TOSHIBA), 01 January, 2002 (01.01.02), Full text; Figs. 1 to 3 & JP 2001-156188 A Full text; Figs. 1 to 9 & KR 2000076792 A	1-12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 August, 2003 (13.08.03)	Date of mailing of the international search report 26 August, 2003 (26.08.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06730

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-230332 A (Sony Corp.), 24 August, 2001 (24.08.01), Full text; Fig. 27 & US 2002/0097621 A1	1-12
Y	WO 01/17030 A1 (MACRONIX AMERICA, INC.), 08 March, 2001 (08.03.01), Full text; Figs. 1 to 2 & JP 2003-508920 A	1-12
Y	JP 4-152490 A (SHARP KABUSHIKI KAISHA), 26 May, 1992 (26.05.92), Full text; Fig. 4 (Family: none)	3
Y	JP 6-259617 A (SHARP KABUSHIKI KAIHSA), 16 September, 1994 (16.09.94), Par. No. [0012]; Figs. 1 to 2 (Family: none)	4
Y	EP 1139223 A2 (SHARP KABUSHIKI KAISHA, NIPPON TELEGRAPH AND TELEPHONE CORP.), 04 October, 2001 (04.10.01), Full text; Figs. 1 to 2 & JP 2001-256460 A Full text; Figs. 1 to 2 & KR 2001092333 A & US 2001/0027511 A1	4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L29/788, H01L29/792, H01L27/115, H01L21/8247, G06K19/077

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L29/788, H01L29/792, H01L27/115, H01L21/8247, G06K19/077

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-120501 A(三菱電機株式会社) 1993. 05. 18 全文, 図1, 3, 5(ファミリーなし)	1-12
Y	JP 8-171621 A(松下電器産業株式会社) 1996. 07. 02 全文, 図1(ファミリーなし)	1-12
Y	US 6335554 B1(KABUSHIKI KAISHA TOSHIBA) 2002. 01. 01 全文, 図1-3 & JP 2001-156188 A, 全文, 図1-9 & KR 2000076792 A	1-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に関する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13. 08. 03

国際調査報告の発送日

25.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

4M

9836

電話番号 03-3581-1101 内線 3460

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-230332 A(ソニー株式会社) 2001.08.24 全文, 図27 & US 2002/0097621 A1	1-12
Y	WO 01/17030 A1(MACRONIX AMERICA, INC.) 2001.03.08 全文, 図1-2 & JP 2003-508920 A	1-12
Y	JP 4-152490 A(シャープ株式会社) 1992.05.26 全文, 第4図(ファミリーなし)	3
Y	JP 6-259617 A(シャープ株式会社) 1994.09.16 【0012】, 図1-2(ファミリーなし)	4
Y	EP 1139223 A2(SHARP KABUSHIKI KAISHA, NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 2001.10.04 全文, 図1-2 & JP 2001-256460 A, 全文, 図1-2 & KR 2001092333 A & US 2001/0027511 A1	4